

**PERENCANAAN DAN PEMBUATAN  
BEL SEKOLAH OTOMATIS BERBASIS AT89C51**

**TUGAS AKHIR**

Disusun oleh :  
**INDRA SUDARWANTO**  
**00.57.007**



**PROGRAM STUDI TEKNIK ELEKTRONIKA D-III  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI NASIONAL MALANG**

**MARET 2009**

MAJALAH KEMAHARAJARAN  
KEMAHARAJARAN KEMAHARAJARAN KEMAHARAJARAN

KEMAHARAJARAN

KEMAHARAJARAN  
KEMAHARAJARAN KEMAHARAJARAN  
KEMAHARAJARAN

KEMAHARAJARAN KEMAHARAJARAN KEMAHARAJARAN  
KEMAHARAJARAN KEMAHARAJARAN KEMAHARAJARAN  
KEMAHARAJARAN KEMAHARAJARAN KEMAHARAJARAN

KEMAHARAJARAN

**LEMBAR PERSETUJUAN**

**TUGAS AKHIR**

**PERENCANAAN DAN PEMBUATAN  
BEL SEKOLAH OTOMATIS BERBASIS AT89C51**

**Disusun oleh :  
INDRA SUDARWANTO  
00.57.007**

**Mengetahui  
Ketua Program Studi  
Teknik Elektronika D-III**



**Ir. Taufik Hidayat, MT  
NIP. 1018700151**

**Diperiksa dan Disetujui  
Dosen Pembimbing**

**Bambang Prio Hartono, ST, MT  
NIP. 1028400082**

**PROGRAM STUDI TEKNIK ELEKTRONIKA D-III  
FAKULTAS TEKNOLOGI INDUSTRI  
INSTITUT TEKNOLOGI NASIONAL MALANG**

**MARET 2009**



PT. BNI (PERSERO) MALANG  
BANK NIAGA MALANG

PERKUMPULAN PENGELOLA PENDIDIKAN UMUM DAN TEKNOLOGI NASIONAL MALANG  
**INSTITUT TEKNOLOGI NASIONAL MALANG**  
FAKULTAS TEKNOLOGI INDUSTRI  
FAKULTAS TEKNIK SIPIL DAN PERENCANAAN  
PROGRAM PASCASARJANA MAGISTER TEKNIK

Kampus I : Jl. Bendungan Sigura-gura No. 2 Telp. (0341) 551431 (Hunting), Fax. (0341) 553015 Malang 65145  
Kampus II : Jl. Raya Karanglo, Km 2 Telp. (0341) 417636 Fax. (0341) 417634 Malang

**BERITA ACARA UJIAN SKRIPSI**  
**FAKULTAS TEKNOLOGI INDUSTRI**

1. Nama Mahasiswa : Indra Sudarwanto
2. NIM : 00.57.007
3. Jurusan : Teknik Elektro D-III
4. Konsentrasi : Teknik Elektronika
5. Judul Skripsi : Perencanaan Dan Pembuatan Bel Sekolah Otomatis Berbasis AT89C51

Dipertahankan di hadapan Tim Penguji Skripsi Jenjang Strata Satu (S1) pada :

Hari : Selasa  
Tanggal : 24 Maret 2009  
Dengan Nilai : 80.55 ( A ) 6



**Panitia Ujian Skripsi**

**Ketua**

**Ir. H. Sidik Noertjahjono, MT**  
NIP.Y. 1028700163

**Sekretaris**

**Ir. Taufik Hidayat, MT**  
NIP. 1018700151

**Anggota Penguji**

**Penguji I**

**Ir. Taufik Hidayat, MT**  
NIP. 1018700151

**Penguji II**

**Ir. Chairul Saleh, MT**

## **KATA PENGANTAR**

Syukur Alhamdulillah kami panjatkan kehadiran Allah SWT karena atas segala berkah dan rahmat-Nya, kami dapat menyelesaikan Laporan akhir ini dengan judul : ” Perancangan Dan Pembuatan Alat Pengaturan Dan Monitoring Ketinggian Air Pada Bendungan Dengan Pemanfaatan Port Serial Pada Hand Phone ”.

Pada kesempatan ini kami sebagai penyusun mengucapkan banyak terima kasih kepada semua pihak yang telah membantu dan mendukung dari persiapan hingga selesainya Tugas Akhir ini.

1. Bapak dan Ibu sebagai orang tuaku yang telah memberikan segalanya, baik berupa materi maupun non materi.
2. Bapak Prof Dr. Eng. Ir. Abraham Lommi, MSEE selaku Rektor Institut Teknologi Nasional Malang
3. Bapak Ir. Taufik Hidayat, MT selaku Ketua Jurusan Teknik Elektro ITN Malang.
4. Bapak Ir. Taufik Hidayat, MT dan Ir. Chirul Saleh, MT selaku Dosen Pembimbing dalam pembuatan alat serta arahan dalam pembuatan laporan hingga selesai.
5. Dosen Penguji Laporan akhir .
6. Seluruh staf pengajar dan karyawan Program Studi Teknik Elektronika ITN Malang.

7. Seluruh rekan-rekan satu jurusan Teknik Elektronika, khususnya rekan-rekan angkatan 2000.
8. Semua pihak yang telah banyak membantu hingga terselesainya Laporan Akhir ini.

Penulis menyadari benar segala kekurangan yang ada pada penyusunan Laporan Akhir ini. Oleh sebab itu penulis mengharapkan segala kritik dan saran demi kesempurnaan Laporan Akhir ini. Semoga Laporan akhir ini dapat memberikan manfaat bagi pembaca dan semua pihak yang memerlukan.

Malang , Maret 2009

Penyusun

# **PERENCANAAN DAN PEMBUATAN ALAT BEL SEKOLAH OTOMATIS BERBASIS MIKROKONTROLER AT89C51**

Indra Sudarwanto / 00.57.007

Teknik Elektro DIII / Teknik Elektronika, Fakultas Teknologi Industri,  
Institut Teknologi Nasional Malang.

Dosen Pembimbing : Bambang Prio Hartono, ST, MT

## **ABSTRAKSI**

Perkembangan ilmu pengetahuan dan teknologi khususnya dalam bidang elektronika berjalan semakin lama semakin cepat. Ruang lingkup penerapan teknologi elektronika sangatlah luas mencakup berbagai bidang kehidupan manusia sehari – hari. Salah satunya bidang pendidikan khususnya sekolah dalam saat ini dalam menggunakan bel masih secara manual cara ini kurang efektif dan efisien.

Untuk merancang bel sekolah secara otomatis dapat menggunakan mikrokontroler atau teknologi lainnya. Salah satunya mikrokontroler AT89C51 dengan menambahkan piranti pendukung yang dapat dibuat bel sekolah secara otomatis yang dapat memberikan informasi secara terjadwal .

Prinsip kerja dari system ini pertama kita memasukan data waktu aktifitas sekolah melalui keypad dan ditampilkan di LCD kemudian mikrokontroler akan mendeteksi dan mencocokkan waktu sekarang dengan waktu yang dimasukan melalui keypad jika waktu atau jamnya sama dengan waktu RTC maka bel akan aktif. Sehingga dengan adanya bel sekolah otomatis ini dapat meringankan operator.

Kata Kunci : AT89C51, LCD, RTC

## DAFTAR ISI

|  |            |
|--|------------|
| <b>DAFTAR PERSETUJUAN .....</b>              | <b>i</b>   |
| <b>MOTO DAN PERSEMBAHAN.....</b>             | <b>ii</b>  |
| <b>KATA PENGANTAR.....</b>                   | <b>iii</b> |
| <b>ABSTRAK.....</b>                          | <b>v</b>   |
| <b>DAFTAR ISI .....</b>                      | <b>vi</b>  |
| <b>DAFTAR GAMBAR.....</b>                    | <b>x</b>   |
| <b>DAFTAR TABEL .....</b>                    | <b>xi</b>  |
| <b>BAB I PENDAHULUAN .....</b>               | <b>1</b>   |
| 1.1 Latar Belakang .....                     | 1          |
| 1.2 Rumusan Masalah .....                    | 2          |
| 1.3 Tujuan .....                             | 2          |
| 1.4 Batasan Masalah.....                     | 2          |
| 1.5 Metodologi.....                          | 3          |
| 1.6 Sistematika Pembahasan.....              | 4          |
| <b>BAB II LANDASAN TEORI.....</b>            | <b>5</b>   |
| 2.1 Mikrokontroler AT 89C51.....             | 5          |
| 2.1.1 Organisasi Memori MCU AT89C51 .....    | 7          |
| 2.1.1.1 Memori Program .....                 | 7          |
| 2.1.1.2 Memori Data .....                    | 9          |
| 2.2. Konfigurasi Kaki-kaki MCU AT89C51 ..... | 14         |
| 2.2.1. Metode Pengalamatan .....             | 17         |



|  |           |
|--|-----------|
| 2.2.3. Bahasa Assembler MCS-51 .....                       | 18        |
| 2.3 LCD Module M1632 .....                                 | 19        |
| 2.4 Rangkaian KeyPad .....                                 | 22        |
| 2.5 Real Time Clock DS12C887 .....                         | 23        |
| 2.5.1 Peta memori .....                                    | 27        |
| 2.6 Resistor .....   | 28        |
| 2.7 Kapasitor .....  | 30        |
| 2.8 Transistor Sebagai Saklar (Switching Transistor) ..... | 31        |
| <b>BAB III PERENCANAAN DAN PEMBUATAN ALAT .....</b>        | <b>36</b> |
| 3.1 Perencanaan Perangkat Keras .....                      | 36        |
| 3.1.1 Perencanaan Minimum Sistem AT89C51 .....             | 37        |
| 3.1.2 Perencanaan Rangkaian Mikrokontroller AT89C51 .....  | 40        |
| 3.1.3 Perencanaan Rangkaian Clock Internal .....           | 42        |
| 3.1.4 Perencanaan Rangkaian Reset .....                    | 43        |
| 3.2 Perencanaan Rangkaian Display LCD .....                | 44        |
| 3.3 Perencanaan Rangkaian Key pad .....                    | 45        |
| 3.4 Perencanaan Rangkaian RTC ( Real Time Clock ) .....    | 47        |
| 3.5 Perencanaan Analisis Transformator .....               | 48        |
| 3.6 Perencanaan Rangkaian Driver Bel Listrik .....         | 49        |
| <b>BAB IV PENGUJIAN ALAT .....</b>                         | <b>52</b> |
| 4.1 Pengujian Sistem Minimum AT89C51 .....                 | 53        |
| 4.2 Pengujian LCD .....                                    | 54        |

|                                       |           |
|---------------------------------------|-----------|
| 4.3 Pengujian Relay .....             | 55        |
| 4.4 Pengujian Power Supply.....       | 56        |
| 4.5 Pengukuran Arus Total.....        | 53        |
| 4.6 Kesalahn Relatif Data.....        | 59        |
| 4.7 Pengujian Secara Keseluruhan..... | 60        |
| <b>BAB V PENUTUP.....</b>             | <b>62</b> |
| 5.1 Kesimpulan .....                  | 57        |
| <b>DAFTAR PUSTAKA</b>                 |           |
| <b>LAMPIRAN</b>                       |           |

# **BAB I**

## **PENDAHULUAN**

### **1.1. Latar Belakang**

Perkembangan teknologi, khususnya bidang elektronik dewasa ini telah membawa perubahan dan kemajuan bagi peradaban serta kehidupan manusia. Teknologi dibuat dan diciptakan untuk membantu pekerjaan manusia menjadi mudah dan efisien.

Penerapan teknologi dimanfaatkan oleh semua bidang. Salah satunya adalah bidang pendidikan khususnya sekolah. Sekolah merupakan tempat sarana pendidikan bagi masyarakat perlu adanya penerapan teknologi. Jika dilihat pada waktu yang lalu lonceng digunakan sebagai tanda-tanda aktifitas di sekolah, namun beberapa saat kemudian fungsi lonceng diganti dengan bel listrik. Semua alat yang digunakan menggunakan sistem manual atau manusia sebagai operator untuk menjalankannya.

Harapan dari penyusun ingin menerapkan teknologi mengenai elektronika dengan mengendalikan bel sekolah secara otomatis terprogram. Pengendali tersebut berupa mikrokontroler yang dapat mengendalikan bel listrik pada waktu-waktu tertentu dengan memberi informasi terjadwal pada suatu sekolah. Salah satu contoh, pada saat masuk kelas pukul 07.00 maka bel akan berbunyi secara otomatis dengan waktu yang ditentukan. Begitu juga dengan pergantian jam pelajaran, istirahat, dan pulang sekolah bel listrik akan berbunyi secara otomatis. Adanya pengesetan waktu-waktu tertentu pada sekolah maka

dapat meringankan tugas dari operator dalam mengendalikan bel pada saat masuk kelas, pergantian jam pelajaran, istirahat, dan pulang sekolah. (Suhata. ST, 2005)

## **1.2. Rumusan Masalah**

Memahami permasalahan yang ada maka tugas akhir ini akan diarahkan pada permasalahan sebagai berikut :

1. Bagaimana merencanakan dan membuat bel listrik secara otomatis sebagai alat informasi terjadwal dengan menggunakan mikrokontroler AT89C51 ?
2. Bagaimana agar alat tersebut dapat bekerja sesuai dengan yang diharapkan dan bagaimana mengaplikasikannya di lapangan.

## **1.3. Tujuan**

Mengendalikan bel sekolah terjadwal secara otomatis sehingga meringankan operator.

## **1.4. Batasan Masalah**

Agar permasalahan lebih terarah, maka diambil batasan-batasan sebagai berikut :

1. Minimum sistem Mikrokontroler ATC8951 beserta perangkat lunaknya.
2. Jadwal yang terdapat pada minimum sistem dimulai dari pagi sampai siang hari.
3. Data waktu yang diambil dari RTC 12C887
4. Jadwal yang ditampilkan dengan menggunakan LCD.

## 1.5. Metodologi

Metodologi penulisan yang digunakan penulis dalam menyelesaikan penulisan skripsi ini adalah :

### 1. Studi Pustaka

Untuk mendapatkan bahan referensi yang mendukung penulisan skripsi yaitu dengan mempelajari beberapa kepustakaan, baik kepustakaan tentang perangkat keras, perangkat lunak, teori dasar yang mendukung maupun tentang perangkat pendukung lainnya.

### 2. Perencanaan dan Pembuatan Hardware serta Software

Dari permasalahan yang ada, kemudian dirancang suatu sistem untuk mengurangi pemrosesan untuk mengendalikan bel sekolah secara otomatis.

### 3. Pengujian dan Analisa

Setelah semua selesai dibuat maka diadakan pengujian dan penganalisaan untuk mendapatkan keakuratan dari sistem yang dirancang.

### 4. Penyusunan Laporan

Penyusunan laporan skripsi dibuat sesuai dengan sistematika pembahasan yang telah ditetapkan. (

## **1.6. Sistematika Pembahasan**

Kerangka penjelasan untuk penyusunan laporan dan pembuatan bel sekolah secara otomatis berbasis mikrokontroler ini meliputi beberapa pokok pembahasan yang terbagi dalam beberapa bab, sebagai berikut “

### **BAB I : Pendahuluan**

Pada bab ini membahas mengenai latar belakang, rumusan masalah, tujuan, batasan masalah, metodologi serta sistematika pembahasan.

### **BAB II : Landasan Teori**

Pada bab ini membahas mengenai teori-teori dasar yang mendukung dalam perancangan sistem yang dibuat. Selain itu digunakan untuk memberikan bahan penunjang untuk memahami dari keseluruhan sistem yang dirancang.

### **BAB III : Perencanaan dan Pembuatan Alat**

Pada bab ini membahas tentang perencanaan dan pembuatan minimum sistem pengendali bel sekolah secara otomatis yang meliputi perancangan rangkaian minimum sistem mekanisme kerja minimum sistem serta skematik rangkaian dari minimum sistemnya.

### **BAB IV : Percobaan dan Pengujian Alat**

Pada bab ini membahas tentang uji coba alat, pengamatan pengukuran dan menganalisa dari minimum sistem yang dibuat.

### **BAB V : Kesimpulan**

Pada bab ini membahas tentang kesimpulan yang dapat diambil dari perancangan dan pembuatan sistem serta saran-saran untuk perbaikan dan untuk pengembangan lebih lanjut.

## **BAB II**

### **LANDASAN TEORI**

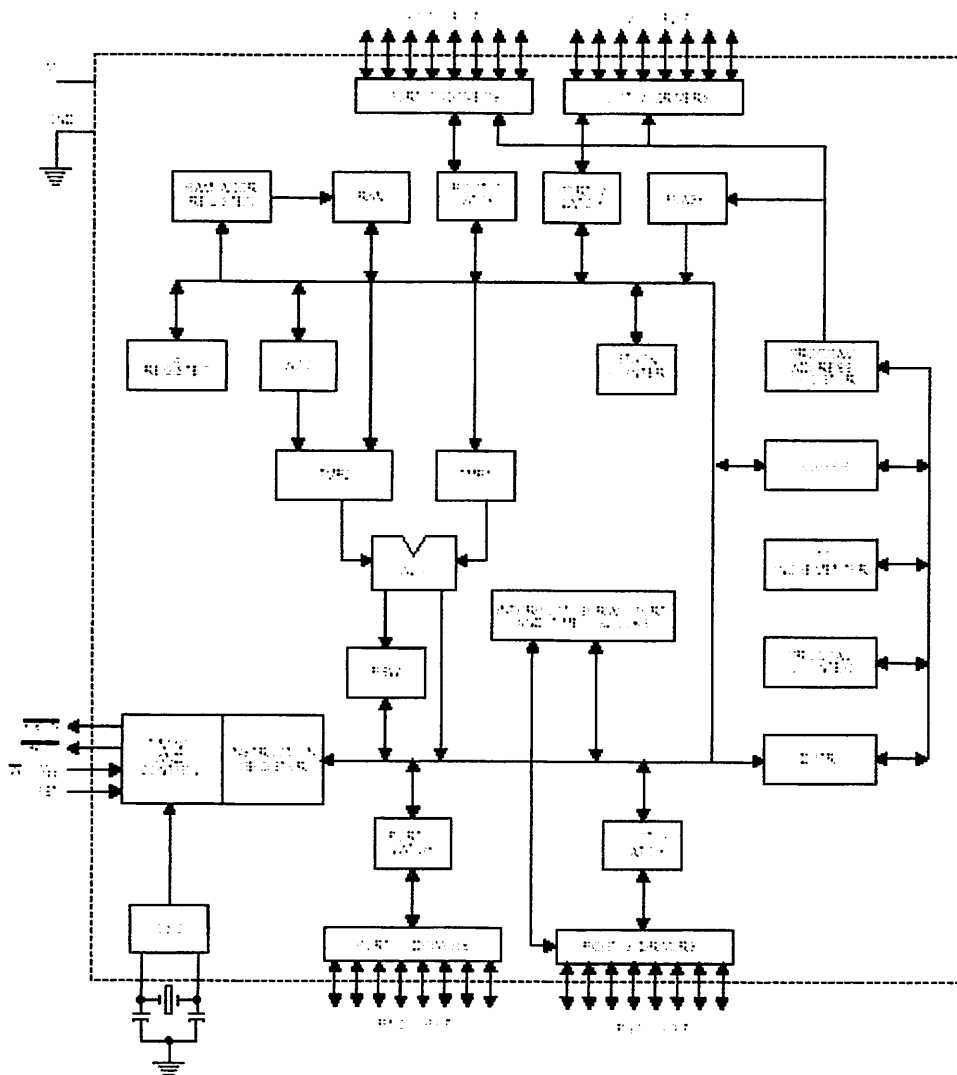
#### **2.1. Mikrokontroler AT89C51**

Mikrokontroler AT89C51 merupakan versi CHMOS dari 89C51 yaitu versi NMOS. NMOS merupakan kependekan dari *N-Channel Metal Oxide Silicon* dan kompatibel dengan MCS-51 mikrokomputer yang merupakan produksi dari ATMEL. Seri 89C51 terdiri dari beberapa jenis tingkat kecepatan mulai dari 12 MHz sampai dengan 24 MHz. Digunakan untuk beberapa keperluan mulai dari komersial, industri, otomotif, dan militer (*Eko Putra Afgianto, 2004.*).

Arsitektur dari MCU 89C51 adalah sebagai berikut :

- 1) 8 bit CPU (*Central Processing Unit*) dengan register A dan B.
- 2) 16 bit *Program Counter* (PC) dengan *Data Pointer* (DPTR).
- 3) 8 bit program status word (PSW).
- 4) 8 bit stack pointer (SP).
- 5) Internal EPROM dan ROM dari 0 sampai 4 Kb.
- 6) 128 byte *Internal RAM*
  - a. 4 register bank masing-masing 8 register.
  - b. 16 byte yang dapat dialamatkan pada *bit level*.
  - c. 80 byte *memory general purpose*.
- 7) 32 pin *input/output* tersusun sebagai 4 port masing-masing 8 bit (P0 – P3).

- 8)  $2 \times 16$  bit timer (T0 dan T1).
- 9) Data serial *receiver/transmitter full duplex* yaitu SBUF.
- 10) *Control register* antara lain TCON, TMOD, SCON, PCON, IP dan ME.
- 11) 2 eksternal dan 3 internal sumber *interrupt*.
- 12) Rangkaian *oscillator* dan *clock*.



**Gambar 2-1**  
**Blok Diagram AT89C51**  
 Sumber : Datasheet AT89C51

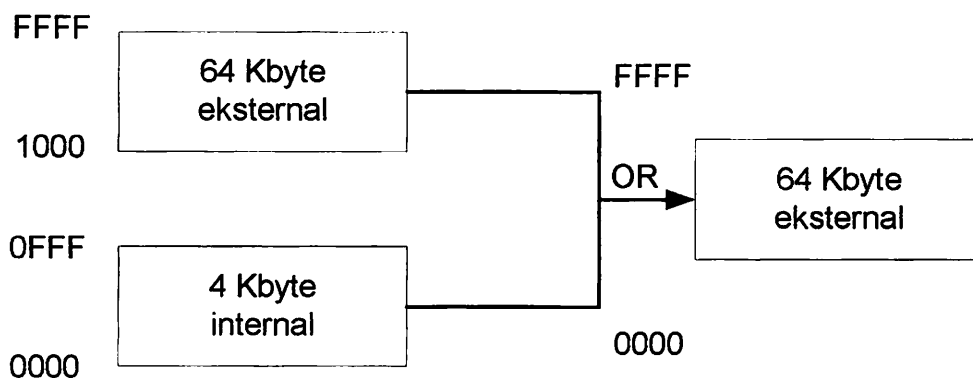


### 2.1.1. Organisasi Memori MCU AT89C51

Mikrokontroler keluarga MCS-51 memiliki memori program dan memori data yang terpisah. Pemisahan ini dilakukan secara logika sehingga CPU dapat mengakses sampai 64 *Kbyte* memori program dan 64 *Kbyte* memori data. Lebar memori data internal adalah 8 bit dan 16 bit (register PC dan register DPTR).

(Atmel Corporation AT89C51)

#### 2.1.1.1. Memori Program



**Gambar 2-2**  
**Memori Program MCS-51**  
 Sumber : Advanced Microdevices, 1988,32.

Memori program menggunakan alamat sepanjang 64 *Kbyte* dengan 4 *Kypte* (alamat \$0000 sampai dengan \$0FFF) yang merupakan memori internal sehingga 60 *Kbyte* merupakan memori eksternal. Dapat menggunakan 64 *Kbyte* memori eksternal sebagaimana yang ditunjukkan pada gambar memori data.

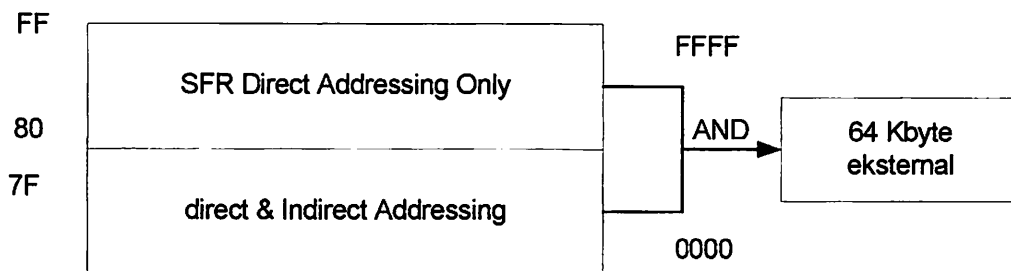
Memori program merupakan tempat penyimpanan data permanen. Memori program lebih dikenal dengan nama *Read Only Memory* (ROM). Data dalam ROM tidak akan terhapus meskipun catu daya dimatikan atau dikenal sebagai sifat *non-volatile*. Karena sifatnya yang demikian ROM dapat digunakan untuk menyimpan program.

Ada beberapa tipe ROM, antara lain :

- 1) ROM (*Read Only Memory*)
  - a. Merupakan memori yang sudah diprogram oleh pabrik (ROM murni).
- 2) PROM (*Programmable Read Only Memory*)
  - a. Merupakan memori yang dapat diprogram oleh pemakai tetapi tidak dapat diprogram ulang.
- 3) EPROM (*Erasable Programmable Read Only Memory*)
- 4) Merupakan PROM yang dapat diulang. ROM ini juga terdapat pada mikrokontroler 8751, hal ini ditandai dengan adanya jendela kaca pada konstruksi IC 8751 yang digunakan untuk menghapus atau memperbaiki program yang sudah ada.
- 5) EEPROM (*Electrical Erasable Programmable Read Only Memory*)

Pada prinsipnya hampir sama dengan EPROM, tetapi perbedaannya terletak pada pengosongan atau penghapusan program. Untuk EPROM dapat dihapus dengan menggunakan sinar *ultra violet*, sedangkan pada EEPROM pengisian program dapat dilakukan langsung atau menumpuk program lama dengan program yang baru. EEPROM lebih fleksibel dibandingkan EPROM. (Eko

### 2.1.1.2. Memori Data



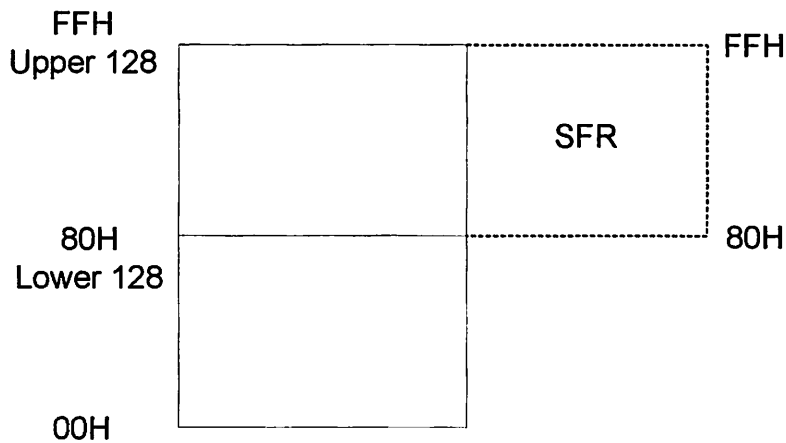
**Gambar 2-3**  
**Memori Data MCS-51**

Sumber : Advanced Microdevices, 1988,33.

Memori data merupakan tempat penyimpanan data yang bersifat sementara atau *volatile*. Dengan kata lain data akan hilang bila tidak dicatu. Memori data lebih dikenal dengan nama RAM (*Random Access Memory*), yaitu dapat dilakukan pembacaan dan penulisan data alamat yang tersedia.

Memori MCS-51 mempunyai 128 *bytes* RAM internal ditambah sejumlah register fungsi khusus atau *Special Function Register* (SFR). (*Advanced Mikrodevidees*, 1988.1.6). Selain mempunyai memori internal, MCU AT89C51 mempunyai memori eksternal yang memiliki pengalamatan sampai 64 *Kbytes*.

Pada keluarga mikrokontroler MCS-51, ruang memori data eksternal terbagi menjadi 3 blok yang disebut *lower* 128, *upper* 128 dan ruang SFR, sebagaimana ditunjukkan pada gambar di bawah ini.



**Gambar 2-4**  
**Memori Data Eksternal**  
 Sumber : Advanced Microdevices, 1988,16

Pada *lower* 128 lokasi memori dibagi menjadi 3 bagian :

1. Register bank 0 – 3

Lokasi bank register dimulai dari alamat 00h – 1h yang terdiri dari 32 *bytes*. Register bank ini terdiri dari 4 buah register 8 bit yang dapat dipilih melalui pengaturan *program status word* register.

2. Bit Addressing

Terdiri dari 16 *bytes* yang dimulai dari 20h – 2fh. Masing-masing dari 128 bit lokasi ini dapat dialamati secara langsung yaitu dari \$00h sampai \$7fh.

3. *Scratch Pad Area*

Lokasi dari alamat \$30h sampai \$7fh atau sebanyak 80 *bytes* yang dapat digunakan sebagai alamat bagi RAM.

Pada 128 *bytes* atas (*upper* 128) ditempati oleh register yang mempunyai fungsi khusus yang disebut dengan *Special Fuction Register* (SFR). Ruang dari

register fungsi khusus ini adalah dari 80h sampai FFh. Berikut ini adalah contoh isi vector alamat pada *Special Function Register*.

1) Akumulator (Acc) atau register A dan register B.

Kedua register tersebut digunakan untuk operasi perkalian dan pembagian.

2) *Program Status Word*

Register ini meliputi bit-bit : CY (*Carry*), AC (*Auxillary Carry*), FO sebagai flag, RS0 dan RS1 untuk pemilih register bank, OV (*Over Flow*), dan *parity flag*.

3) *Stack Pointer (SP)*

SP merupakan register yang digunakan untuk penunjuk alamat.

Register ini berguna apabila digunakan suatu *routine* pada program utama.

4) *Data Pointer High (DPH)* dan *Data Pointer Lower (DPL)*

DPTR adalah register yang digunakan untuk pengalamatan tidak langsung. Register ini digunakan untuk mengakses memori program baik internal maupun eksternal. DPTR dikontrol oleh 2 buah register 8 bit yaitu DPH dan DPL.

5) *Port 0, Port 1, Port 2, Port 3*

Pada keluarga 8051 masing-masing *port* dapat dialamati langsung baik secara *byte* atau bit. Masing-masing *port* merupakan *port bi-directional (input/output)* :

- 1. *Port 0* digunakan sebagai pengalaman memori dari luar.
- 2. *Port 1* digunakan sebagai I/O dari mikrokontroler.
- 3. *Port 2* digunakan sebagai pengalaman memori dari luar.
- 4. *Port 3* berisi sinyal kontrol seperti *interrupt serial*, *WR*, dan *RD*.

6) *Register Prioritas Interrupt ( Interrupt Priority Register /IP).*

Merupakan register yang berisi bit-bit untuk mengaktifkan prioritas dari suatu *interrupt* yang ada pada mikrokontroler pada taraf yang diinginkan.

7) *Interrupt Enable Register*

Merupakan register yang berisi bit-bit untuk menghidupkan atau mematikan sumber-sumber *interrupt*.

8) *Timer/Counter Control Register*

*TCON* merupakan register yang berisi bit-bit memulai atau menghentikan pencacah atau pewaktu.

9) *Serial Control Buffer*

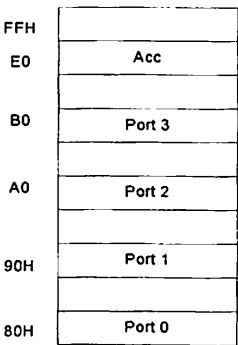
Register ini digunakan untuk menampung data masukan (*SBUF in*) atau keluaran (*SBUF out*) dari *serial port*.

**Tabel 2-1**  
**Pembagian Alamat Pada SFR**

| Simbol | Nama           | Alamat |
|--------|----------------|--------|
| Acc    | Accumulator    | 0E0H   |
| B      | B register     | 0F0H   |
| PSW    | Program Status | 0D0H   |
| SP     | Word           | 81H    |
| DPTR   | Stack Pointer  |        |

|      |                  |      |
|------|------------------|------|
| DPL  | Data Pointer 2   | 82H  |
| DPH  | bytes            | 83H  |
| P0   | Low byte         | 80H  |
| P1   | High byte        | 90H  |
| P2   | Port 0           | 0A0H |
| P3   | Port 1           | 0B0H |
| IP   | Port 2           | 0B8H |
| IE   | Port 3           | ABH  |
| TMOD | Interrupt        | 89H  |
| TCON | Priority Control | 88H  |
| TH0  | Interrupt Enable | 8CH  |
| TL0  | Control          | 8AH  |
| TH1  | T/C Mode         | 8DH  |
| TL1  | Control          | 8BH  |
| SCON | T/C Control      | 98H  |
| SBUF | T/C 0 High       | 99H  |
| PCON | Control          | 87H  |
|      | T/C 0 Low        |      |
|      | Control          |      |
|      | T/C 1 High       |      |
|      | Control          |      |
|      | T/C 1 Low        |      |
|      | Control          |      |
|      | Serial Control   |      |
|      | Serial Buffer    |      |
|      | Power Control    |      |

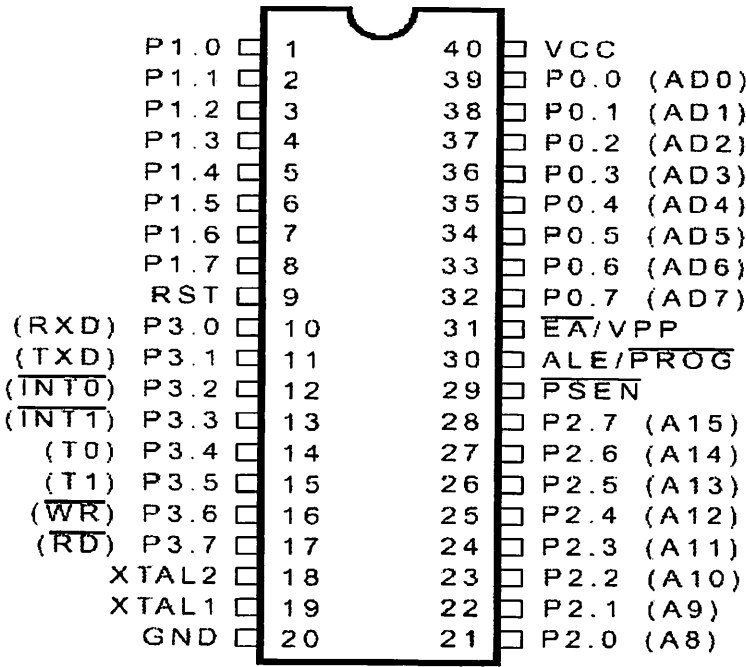
Adapun diagram blok dari SFR adalah sebagai berikut :



**Gambar 2-5**  
**Ruang *Special Function Register***  
Sumber : Eksperimen dengan Mikrokontroler, 1999,13

2.2. Konfigurasi Kaki-kaki MCU AT89C51

Berikut ini adalah bentuk fisik dari AT89C51.



**Gambar 2-6**  
**Konfigurasi Kaki-kaki AT89C51**  
Sumber : Datasheet AT89C51



Fungsi-fungsi dari tiap-tiap pin sebagai berikut :

1) Vss

Dihubungkan dengan *ground* rangkaian atau media pentanahan.

2) Vcc

Dihubungkan dengan sumber tegangan + 5 V.

3) Port 0 (P0.0 – P0.7)

*Port 0* merupakan *port* I/O 8 bit dua arah. *Port* ini digunakan sebagai multiplex bus alamat rendah dan bus data selama pengaksesan ke memori luar.

4) Port 1 (P1.0 – P1.7)

*Port 1* dapat difungsikan sebagai masukan atau keluaran dan bekerja baik untuk operasi bit maupun *byte*, tergantung dari pengaturan program yang dibuat.

5) Port 2 (P2.0 – P2.7)

*Port 2* dapat digunakan sebagai alamat bus baik *byte* tinggi selama adanya akses ke memori program atau memori data luar.

6) Port 3 (P3.0 – P3.7)

*Port 3* mempunyai fungsi sebagai I/O juga mempunyai fungsi khusus sebagai berikut :

- a) RD (P3.7), sinyal pembacaan memori data luar.
- b) WR (P3.6), sinyal penulisan memori data luar.
- c) T1 (P3.5), masukan dari pewaktu/pencacah 1.
- d) T0 (P3.4), masukan dari pewaktu/pencacah 0.

- e) INT1 (P3.3), masukan interrupt 1.
- f) INT0 (P3.2), masukan interrupt 0.
- g) TXD (P3.1), keluaran pengiriman data untuk serial *port* (*asynchronous*) atau sebagai keluaran *clock* (*sybchronous*).
- h) RXD (P3.0), masukan data serial atau sebagai keluaran data.
- i) RST/VPD, merupakan pin input yang aktif jika pin aktif tinggi selama dua siklus mesin maka ketika osilator bekerja akan mereset peralatan.
- j) ALE (*Address Latch Enable*), pin ALE (aktif tinggi) mengeluarkan pulsa output untuk menyangga (*latch*) satu byte alamat rendah selama mengakses ke memori eksternal. ALE dapat mengendalikan 8 beban TTL. Pin ini juga merupakan input pulsa program yang aktif rendah selama pemrograman EPROM. Pada operasi normal, ALE dikeluarkan pada suatu kecepatan yang konstan yaitu  $1/6$  dari frekuensi osilator dan dapat digunakan untuk *timing* eksternal atau untuk tujuan membuat *clock*.
- k) PSEN (*Program Strobe Enable*). Pin ini aktif rendah yang merupakan *strobe* pembacaan ke program memori eksternal.
- l) XTA1, pin XTAL1 merupakan pin input ke penguat osilator pembalik dan XTAL2 merupakan pin output dari penguat osilator pembalik.
- m) EA,VPP (*External Access/Programming Supply Voltage*), pin EA di Vcc agar AT89C51 dapat mengakses kode mesin dari program memori.

### 2.2.1. Metode Pengalamatan

Metode pengalamatan yang digunakan pada MCS-51 terbagi menjadi dua jenis, yaitu pengalamatan langsung dan pengalamatan tidak langsung. (Moh. Ibnu Malik, 1997:36)

#### φ Pengalamatan Tak Langsung

Operasi pengalamatan tak langsung menunjukkan ke sebuah register yang berisi lokasi alamat memori yang akan digunakan dalam suatu operasi. Lokasi yang nyata tergantung dari isi register saat instruksi dijalankan. Untuk melakukan pengalamatan tak langsung digunakan bisa @. Misalnya :

- ADD A, @R0 : tambahkan isi R0 dengan Acc dan hasilnya di Acc
- DEC @R1 : kurangi isi dari alamat R1

#### φ Pengalamatan Langsung

Pengalamatan langsung dilakukan dengan memberikan nilai ke suatu register secara langsung. Untuk melakukan hal tersebut digunakan tanda #. Misalnya :

- MOV A,#01H : isi Acc dengan data 01H
- MOV DPTR,#19H : isi DPTR dengan data 19H

Pengalamatan data langsung dari 0 sampai 127 akan mengakses RAM internal, sedangkan pengalamatan dari 128 sampai 255 akan mengakses register perangkat keras. Misalnya :

- MOV P3,A : pindahkan isi Acc ke alamat *Port 3* (B0H)
- INC 50 : naikan lokasi 50 (desimal) dalam memori

### 2.2.2. Bahasa Assembler MCS-51

Bahasa assembler digunakan dalam setiap operasi CPU dalam bentuk bahasa yang disusun berurutan dalam pernyataannya. Masing-masing pernyataan akan diterjemahkan ke dalam instruksi bahasa mesin atau sering disebut *operation code/opcode*. Dalam penulisan bahasa mesin ini, terdapat berbagai macam kelompok instruksi, diantaranya :

#### 1) Perpindahan Data

Instruksi ini digunakan untuk memindahkan data antar register, memori, register-memori, antar muka register dan antar muka memori.

Contonya : `MOV A,R0` : memindahkan isi register R0 ke Acc.

`MOV A,@R0` : memindahkan isi alamat R0 ke Acc.

#### 2) Operasi Aritmatika

Instruksi ini melaksanakan operasi aritmatika yang meliputi penjumlahan, pengurangan, perkalian, maupun pembagian.

Contohnya : `ADD A,#data` : menambah Acc dengan data.

`ADC A,#data` : menambah Acc dengan data dan carry.

`INC R6` : menambah isi R6 dengan 1.

`DEC R7` : mengurangi isi R5 dengan 1.

`MUL AB` : mengalikan isi Acc dengan isi register B.

`DIV AB` : membagi isi Acc dengan isi register B.

### 3) Operasi Percabangan

Instruksi ini mengubah urutan normal pelaksanaan suatu program untuk melaksanakan pada lain tempat yang kita perlukan pada saat itu.

Contohnya :

#### 1. CJNE (*Compare Jump Not Equal*)

Instruksi ini membandingkan isi lokasi memori tertentu dengan isi Acc, jika sama instruksi ini selanjutnya akan dieksekusi. Jika tidak sama eksekusi akan kembali ke alamat kode yang telah ditunjuk.

#### 2. JB (*Jump if Bit Set*)

Instruksi ini akan menguji suatu alamat bit isi satu, eksekusi akan menuju ke alamat kode dan jika tidak instruksi akan dilanjutkan.

#### 3. JNB (*Jump if Bit Not Set*)

Instruksi ini menguji suatu alamat bit. Jika berisi 0 maka eksekusi akan menuju ke alamat kode. Jika berisi 1 maka instruksi selanjutnya yang akan dieksekusi.

### 2.3. LCD Module M1632

Sebagai tampilan yang telah diproses oleh mikrokontroler maka dibutuhkan suatu perangkat yang berfungsi sebagai alat keluaran. Diharapkan dengan adanya display ini pengguna dapat mengetahui data dan informasi hasil proses yang dikehendaki.

Suatu perangkat display yang siap pakai dan mudah didapatkan serta banyak dipakai adalah LCD Dot matrik 2 x 16 karakter, jenis LCD mudah dalam

penggunaannya. Dalam perencanaan dan pembuatan alat ini digunakan LCD type M1632 dari *Seico Instrument*.

Struktur pin-pin dan cara pengaksesannya pada LCD M1632 dijelaskan pada table berikut ini :

**Tabel 2-2**  
**Definisi Pin LCD Modul M163**

| Pin No | Simbol | Level | Keterangan                           |
|--------|--------|-------|--------------------------------------|
| 1      | Vss    |       | Power Supply                         |
| 2      | Vcc    |       |                                      |
| 3      | Vee    |       |                                      |
| 4      | RS     | H/L   | H : Data Input<br>L : Intrupsi Input |
| 5      | R/W    | H/L   | H : read<br>L : Disable              |
| 6      | E      | H/L   | H: Enable<br>L : Disable             |
| 7      | DB0    | H/L   |                                      |
| 8      | DB1    | H/L   |                                      |
| 9      | DB2    | H/L   |                                      |
| 10     | DB3    | H/L   |                                      |
| 11     | DB4    | H/L   |                                      |
| 12     | DB5    | H/L   |                                      |
| 13     | DB6    | H/L   |                                      |
| 14     | DB7    | H/L   |                                      |
| 15     | V + BL |       | Power Suplly                         |
| 16     | V – BL |       |                                      |

Intruksi –intruksi untuk dapat mengakses LCD tipe M 1632 dijelaskan pada tabel 2-4 berikut :

**Tabel 2-3**  
**Perintah Dalam Pengaksesan LCD**

| Intruksi                      | Code |     |         |         |         |         |         |         |         |  | Fungsi                                     |
|-------------------------------|------|-----|---------|---------|---------|---------|---------|---------|---------|--|--|
|                               | RS   | R/W | DB<br>7 | DB<br>6 | DB<br>5 | DB<br>4 | DB<br>3 | DB<br>2 | DB<br>1 | DB<br>6  |  |
| Display Clear                 | 0    | 0   | 0       | 0       | 0       | 0       | 0       | 0       | 0       | 1  | Clear display dan kursor pada Add 0        |
| Cursor home                   | 0    | 0   | 0       | 0       | 0       | 0       | 0       | 0       | 1       | X  | Kursor ke Add 0                            |
| Entry mode Set                | 0    | 0   | 0       | 0       | 0       | 0       | 0       |         | I/D     | S  | Pemakaian mode pd LCD                      |
| Display ON/OFF                | 0    | 0   | 0       | 0       | 0       | 0       | 1       | D       | C       | B  | Menset tampilan display                    |
| Cursor/display Shift          | 0    | 0   | 0       | 0       | 0       | 1       | S/C     | R/L     | X       | X  | Gerakan kursor tanpa merubah DD RAM        |
| Fuction Set                   | 0    | 0   | 0       | 0       | 1       | DL      | 1       | X       | X       | X  | Untuk menset data lebar yangakan digunakan |
| CG RAM Address set            | 0    | 0   | 0       | ACG     |         |         |         |         |         |  | Digunakan untuk pengisian CG RAM           |
| DD RAM Address set            | 0    | 0   | 1       | ADD     |         |         |         |         |         |  | Untuk pengisian DD Ram                     |
| Tlis data ke CG RAM           | 1    | 0   | DATA    |         |         |         |         |         |         | Perintah untuk Menulis data dan CG atau DD RAM |  |
| Baca data dari CG atau DD RAM | 1    | 1   | DATA    |         |         |         |         |         |         | Perintah untuk membaca data dan CG atau DD RAM |  |

ACG :CG RAM Address

ADD : DD RAM Address

I/D = 1 : Increment

I/D = 0 : decrement

|           |                    |
|-----------|--------------------|
| $S = 1$   | : Display Shift    |
| $S = 0$   | : NO display Shift |
| $D = 1$   | : Display on       |
| $D = 0$   | : Display Off      |
| $C = 1$   | : Cursor On        |
| $C = 0$   | : Cursor Off       |
| $B = 1$   | : Blink On         |
| $B = 0$   | : Blink Off        |
| $S/C = 1$ | : Display Shift    |
| $S/C = 0$ | : Cursor Movement  |
| $R/L = 1$ | : Right Shift      |
| $R/L = 0$ | : Left Shift       |
| $DL = 1$  | : 8 Bit data       |
| $DL = 0$  | : 4 Bit data       |

(Eko Putra Afgianto, 2004.)

## 2.4. Rangkaian KeyPad

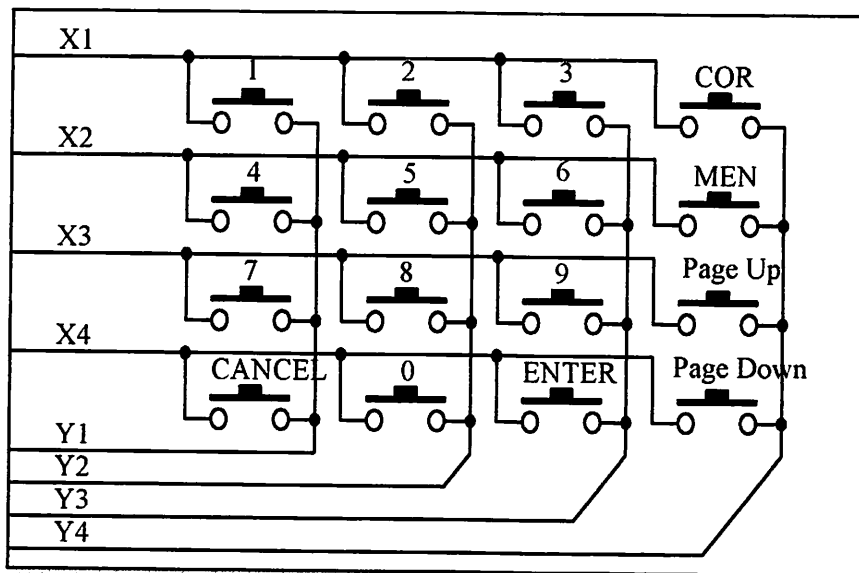
Untuk mempermudah penggunaan mikrokontroler sebagai pemroses maka diperlukan sarana yang dapat menjadikan penghubung antara pengguna dengan alat kontrol, yaitu sebagai sarana input data yang nantinya akan diolah oleh mikrokontroler.

Peralatan input yang dapat menunjang mikrokontroler adalah beberapa saklar tekan yang menyatakan angka dan karakter yang disusun hubungan berbentuk matrik 4 kolom x 4 baris yaitu 16 buah saklar tekan (*push button*)



yang dirangkai dalam bentuk matrik rangkaian keypad yang dihubungkan langsung ke mikrokontroler. Dalam tugas akhir ini dipergunakan sebuah keypad 4 x 4 yang memuat angka 0 sampai angka 9 dan karakter *COR*, *MEM*, *CAN*, *ENT*. Adapaun skema rangkaian keypad ditunjukkan pada gambar 2 – 7.

(Wasito S, *VADEMAKUM ELEKTRONIKA*, 1985)



**Gambar 2-7**  
**Rangkaian Keypad**

## 2.5. Real Time Clock DS12C887

Chip DS12C887 buatan *Dallas Semiconductor* merupakan alat pencatat waktu yang baik, dalam chip itu tersimpan baterai *Lithium* sehingga pencatatan waktu tidak terhenti jika catu daya alat pemakainya terhenti, dan proses dapat mengambil kapan pun hasil kerjanya tanpa harus mengaturnya.

Waktu yang dicatat mulai dari Detik, menit, jam, hari, bulan, tahun sampai dengan abad dan sistem penaggalannya dirancang bisa bekerja tanpa salah

sampai dengan tahun 2099. pencatatan jam bisa dilakukan dalam format 24 jam perhari, atau 12 jam am/pm.

Dalam *motherboard* IBM produksi tahun yang lalu DS12C887 sering dipakai sebagai pencatat waktu. Dalam *chip* ini terdapat pula memori ( *CMOS RAM* ) yang mendapat catu daya yang sama dengan catu daya pencatat waktu, sehingga informasi yang tersimpan tidak hilang selama pencatat waktu masih bekerja. *CMOS RAM* tersebut dipakai untuk mencatat parameter yang dipakai untuk mengatur tata mother board, dari sinilah didapat istilah *CMOS Setup* yang sangat dikenal dengan *PC*.

Selain dipakai sebagai pencatat waktu, DS12C887 bisa berfungsi sebagai alarm, bisa pula dipakai untuk membangkitkan sinyal *periodic* dengan *frekwensi* mulai dari 2 Hz samapai dengan 8 Khz. Karakteristik dari RTC DS12C887 adalah sebagai berikut :

- 1) Pengganti *clock*/ kalender komputer IBM AT
- 2) PIN kompatibel/ sesuai dengan MC1418B dan DS 12C887
- 3) Data tidak akan hilang maksimal 100 tahun meskipun tidak ada daya
- 4) Subsistem mencakup sendiri *litium*, kwarsa dan pendukung rangkaian.
- 5) Menghitung detik, menit, jam, hari seminggu , tanggal , bulan, dan tahun.
- 6) Format jam yang dipakai 24 atau 12 jam dengan *AM* dan *PM* dalam mode 12 jam-an
- 7) *Timing bus* dapat dipilih antara *Motorola* dan *Intel*.
- 8) *Bus multipleks* antara *address* dengan data untuk efesiensi PIN

untuk memilih data instruksi atau data karakter yang di kirim ke LCD. Sedangkan port 3.3 dihubungkan dengan driver yang berfungsi untuk mengendalikan driver bel listrik yang dihubungkan dengan alat ini.

Port P2.0-P2.7 dihubungkan dengan keypad untuk mengolah data dari hasil penekanan tombol pada keypad. Sedangkan port 3.5-port 3.7 dihubungkan dengan pin DS, R/W dan CS pada DS 12887, yang berfungsi sebagai sinyal pembacaan dan penulisan pada RAM internal RTC serta untuk mengaktifkan peripheral DS 12887.

### **3.1.3. Perencanaan Rangkaian Clock Internal**

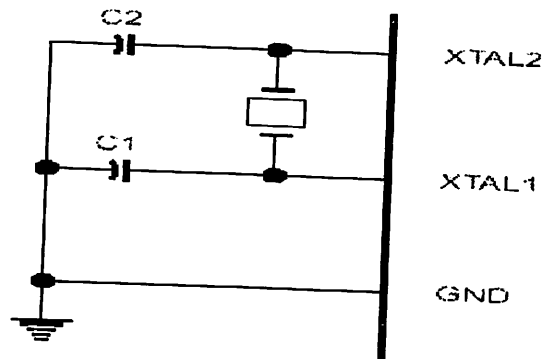
Semua keluarga MCS-51 mempunyai clock ( rangkaian osilator ) didalam chip nya sendiri yang disebut on-chip osilator. Cara mengkases clock internal yang terdapat pada chip mikrokontroler yaitu sebuah kristal pada pin pin XTAL 1 dan pin XTAL 2 dengan dua buah kapasitor yang masing – masing dihubungkan ke kaki kristal dan dihubungkan ke ground.

Pemindahan frekwensi kristal berdasarkan akses mikrokontroler untuk untuk serial interface, kristal yang digunakan adalah kristal 11,0592 MHz dengan ketentuan pada data sheet adalah sebesar 30 pF. Rangkaian ini terdiri dari dua buah kapasitor dan sebuah kristal, dengan data sebagai berikut:

- a) C1 dan C2 = 20pf-40pf untuk kristal.
- b) C1 dan C2 = 30-50pf untuk keramik resonator.
- c) Kristal = 3MHz-24MHz.

Karena 1 siklus mesin = 12 T, maka dipilih kristal dengan frekuensi 12 MHz, sehingga didapat:

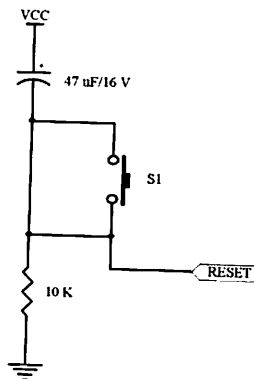
$$\begin{aligned}
 T_{MC} &= 12 \times \frac{1}{f_{osc}} \\
 &= 12 \times \frac{1}{12 \cdot 10^6} \\
 &= 1 \mu s.
 \end{aligned}$$



**Gambar 3-5**  
**Rangkaian Clock**

#### 3.1.4. Perencanaan Rangkaian Reset

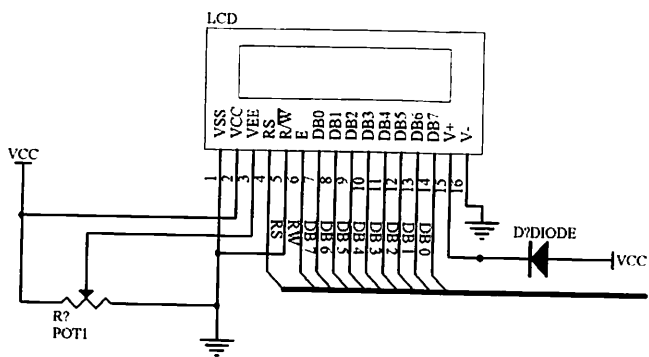
Rangkaian reset digunakan untuk mereset atau mengembalikan keadaan awal dari mikrokontroler AT89C51. rangkaian ini dipergunakan untuk mereset mikrokontroler pada keadaan pertama kali saat power diaktifkan atau disebut power on reset. Untuk menjalankan reset maka pin reset ( pin no 9 ) pada mikrokontroler diberi sinyal high (1). Gambar rangkaian reset dapat ditunjukkan pada gambar berikut :



**Gambar 3-6**  
**Rangkaian Reset**

### 3.2. Perencanaan Rangkaian Display LCD

Sebagai tampilan dari pengaturan jam pelajaran dan data waktu dari RTC digunakan display LCD dot matrik 2 x 16 karakter. Sinyal-sinyal yang dipergunakan oleh LCD adalah data bus, RS, R/W dan E. sinyal E dihubungkan ke port 3.5 untuk mengaktifkan LCD. LCD akan aktif jika mikrokontroler memberikan intruksi tulis pada alamat LCD. Sedangkan P3.4 dipergunakan untuk memberikan sinyal RS yang membedakan data yang diberikan pada LCD. Sinyal RS diberikan ke LCD untuk membedakan sinyal antara intruksi program atau intruksi penulisan data. Untuk pin R/W akan berlogika Low ( 0 ) apabila dihubungkan dengan ground maka LCD difungsikan hanya untuk menuliskan program atau data ke display. Untuk mengambil data dari mikrokontroler maka pin –pin data dihubungkan dengan P0.0 samapi P0.7 yang merupakan pin-pin data dari mikrokontroler.



**Gambar 3-7**  
**Rangkaian Display LCD**

VR1 pada pin 3 ( VEE ) digunakan untuk mengatur kontras dari karakter yang ditampilkan, sedangkan pada pin 15 ( V+) diberi sebuah diode ( D6) gunanya adalah agar tegangan yang masuk dengan data sheet yaitu sebesar 4,5V maksimal.

Tegangan Dioda = 0,6V

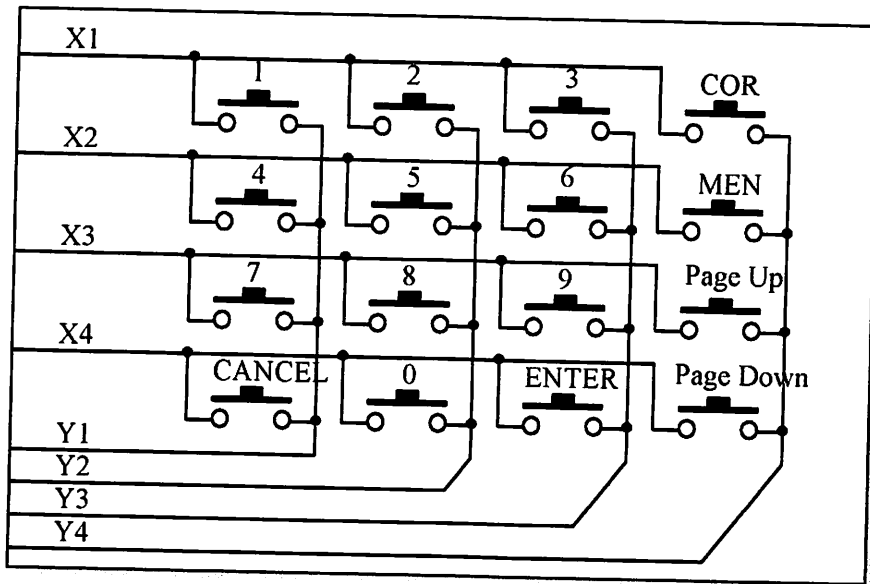
VCC = 5V

Jadi tegangan yang masuk =  $5 - 0,6 = 4,4V$

**3.3. Perencanaan Rangkaian Key pad**

Keypad berfungsi untuk memasukan input data dari mikrokontroler . rangkaian keypad menggunakan keypad 4x4 yaitu 12 buah saklar tekan ( push bottom )yang dirangkai dalam bentuk matrik. Rangkaian keypad dihubungnkan langsung ke mikrontroler pin 1, 2 dan 3 dipergunakan sebagai scaning sedangkan pin 4,5,6 dan 7 dipergunakan sbagai data hasil penekanan keypad proses scaning

dari penekanan keypad ditujukan pada table 3-1 gambar rangkaian keypad ditunjukkan pada gambar berikut :



**Gambar 3-8**  
**Rangkaian Keypad**

Untuk 4 bagian kolom yaitu row/Y dan 4 bagian baris adalah col/X, system kerjanya yaitu salah satu pin misalnya X1 terhubung dengan Y1 maka data outputnya akan “1” sedangkan untuk X1 dan Y2 data outputnya akan “2”, dari rangkaian diatas dapat diperoleh 16 kemungkinan output, untuk lebih jelas dapat dilihat dibawah ini:

**Tabel 3-1**  
**Kombinasi Output Keypad Matrik 4x4**

| Posisi Saklar |   | 0  | 1  | 2  | 3  | 4  | 5  | 6  | 7  | 8  | 9  | 10 | 11 | 12 | 13 | 14 | 15 |
|---------------|---|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
|               |   | Y1 | Y1 | Y1 | Y1 | Y2 | Y2 | Y2 | Y2 | Y3 | Y3 | Y3 | Y3 | Y4 | Y4 | Y4 | Y4 |
|               |   | X1 | X2 | X3 | X4 | X1 | X2 | X3 | X4 | X1 | X2 | X3 | X4 | X1 | X2 | X3 | X4 |
|               |   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| DATA OUTPUT   | A | 0  | 1  | 0  | 1  | 0  | 1  | 0  | 1  | 0  | 1  | 0  | 1  | 0  | 1  | 0  | 1  |
|               | B | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 1  |
|               | C | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  |
|               | D | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |

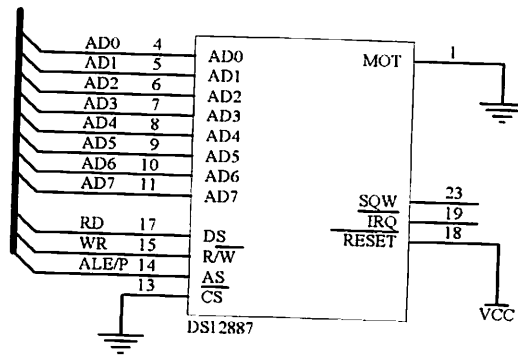
Berdasarkan tabel diatas kita dapat dengan mudah menyeleksi tombol mana yang ditekan dari rangkaian keypad yang dibuat. Keluaran tombol yang dipilih dihubungkan langsung dengan P2.0-P2.7 dan selanjutnya display akan menampilkan karakter dengan angka yang dipilih.

**3.4. Perencanaan Rangkaian RTC ( Real Time Clock )**

RTC DS12C887 sebagai alat pencatat waktu dan menyimpan data, dalam chip ini tersimpan baterai lithum sehingga pencatatan waktu tidak terhenti jika catu daya alat pemakaiannya terputus. Waktu yang dicatat mulai detik, menit, jam hari, bulan dan tahun. Kaki MOT ( kaki nomor 1 DS12C887 ) dihubungkan ke ground, artinya DS12C887 bekerja dengan sistem perpindahan data model intel. DSC887 dihubungkan ke AT89C51 dengan P0.0 – P0.7 dihubungkan ke AD0 – AD7 ( kaki nomor 14 DS12C887 ), WR\*dihubungkan ke W/W\* ( kaki nomor 15



DS12C887 ), RD8 dihubungkan ke DS ( kaki nomor DS12C887 ), gambar rangkaian RTC DS12C887 ditunjukkan pada gambar berikut :



**Gambar 3-9**  
**Rangkaian RTC DS12C887**

### 3.5. Perencanaan Analisis Transformator

Untuk menganalisa masing-masing Vout power supply sebelum masuk rangkaian regulator dapat digunakan rumus sebagai berikut:

$$V_{dc} = \frac{2 \cdot V_p}{3,14}$$

$$V_p = V_{out \text{ trafo}} - 2\phi$$

Untuk Vout trafo = 12 Volt ;  $\phi = 0,3$

$$V_p = 12 - 2 \times 0,3$$

$$= 12 - 0,6$$

$$= 11,6 \text{ Volt}$$

$$V_{dc} = \frac{2 \cdot 11,6}{3,14}$$

$$= 7,38 \text{ Volt}$$

### 3.6. Perencanaan Rangkaian Driver Bel Listrik

Kegunaan bel listrik disini sebagai alarm , yaitu mengisyaratkan aktifitas sekolah. Bel sekolah akan berbunyi jika jam yang telah dimasukan melalui keypad sama dengan waktu pada RTC DS12887. rangkaian ini berfungsi untuk mengontrol bel listrik yang mempunyai catu daya AC 220 V. Rangkaian ini terdiri dari satu transistor, diode dan satu resistor seperti terlihat pada gambar . disini transistor sebagai switch dimana resistor dibias menjadi saturasi atau cut-off. Double pada rangkaian ini digunakan untuk melindungi transistor dari arus balik. Untuk menyambung dan memutuskan rangkaian eksternal. Sebagai pembantu dari relay diperlukan suatu transistor yang berfungsi sebagai switch. transistor berfungsi juga sebagai penguat arus yang diperlukan bagi relai dan dapat dikontrol secara otomatis melalui AT89C51. untuk menghidupkan relay dibutuhkan arus yang cukup besar , dalam perencanaan ini dibutuhkan arus sebesar 50 mA dari hasil pengukuran. Arus ini digunakan untuk mengdriver relay. transistor yang digunakan adalah BD 139. BD 139 yang mempunyai  $H_{fe}$  40 sehingga nilai  $I_b$  adalah.

Diketahui

$$R_L = 150 \quad H_{fe} = 40$$

$$V_{cc} = 12 \text{ V} \quad V_{in} = 5 \text{ V}$$

Maka :

$$I_c = \frac{V}{R_L}$$

$$= \frac{12}{360}$$

$$= 33 \text{ mA}$$

$$I_b = \frac{I_c}{H_{fe}}$$

$$= \frac{33 \cdot 10^{-3}}{40}$$

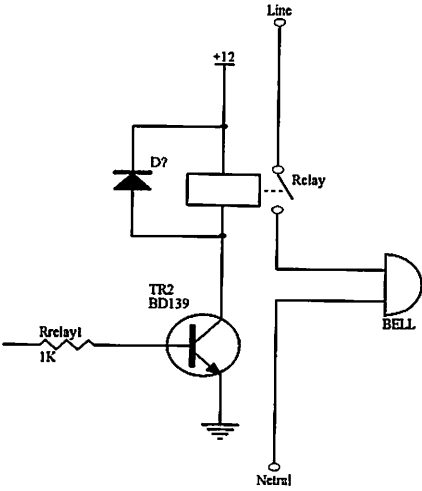
$$= 8 \text{ mA}$$

$$R_b = \frac{V_{in} - V_{be}}{I_b}$$

$$= \frac{5 - 0,7 \text{ V}}{8 \cdot 10^{-3}}$$

$$= 5,37 \cong 5,5 \text{ K}\Omega$$

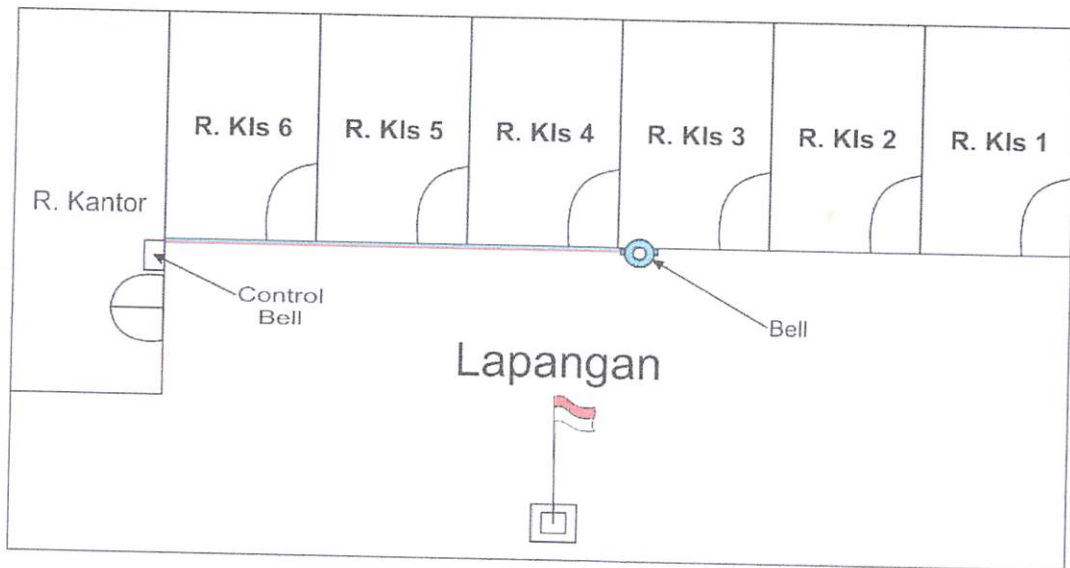
Karena dipasaran tidak ada resistor yang bernilai 5,37 K $\Omega$  maka dipilih resistor yang mendekati yaitu 5,5 K $\Omega$



**Gambar 3-10**  
**Rangkaian Driver Bel Listrik**

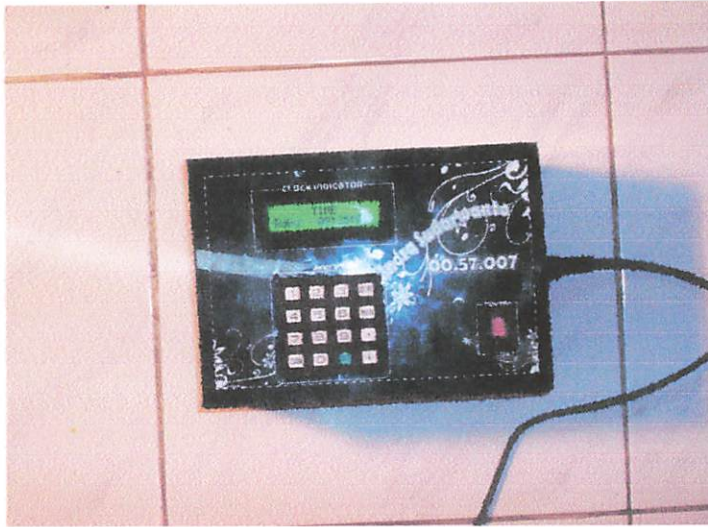
## BAB IV

### PENGUJIAN ALAT



**Gambar 4-1**  
**Denah penempatan alat dan bell**

Sesuai dengan gambar 4-1 penempatan alat control bell otomatis di tempatkan pada ruang guru atau ruang kantor. Tujuannya agar mudah untuk melakukan pengecekan maupun perubahan jam pelajaran sewaktu diperlukan. Penempatan bell dilakukan antara kelas 3 dan 4 dimana suara bell menjangkau area sekolah secara merata.



**Gambar 4-2**  
**Foto Alat Keseluruhan**

Untuk mengetahui keberhasilan dari perencanaan dan pembuatan alat ini, maka diperlukan pengujian terhadap alat tersebut. Dalam rangka pengujian diuraikan sejumlah pengukuran dan percobaan yang dilakukan untuk mengetahui sistem kerja alat secara keseluruhan.

Pengujian alat meliputi pengujian perangkat keras dan perangkat lunak sistem. Pengujian dilakukan per-bagian agar mudah dalam analisis hasil perancangan dan pengujian.

Bagian – bagian yang diuji adalah :

1. Sistem Minimum AT89C51
2. LCD
3. Driver Relay
4. Power Supply
5. Arus Total

Setelah semua bagian diuji, langkah berikutnya adalah pengujian sistem secara keseluruhan.

**4.1. Pengujian Sistem Minimum AT89C51**

Untuk pengujian ini yang diukur adalah arus yang masuk pada rangkaian sistem minimum. Tabel 4-1 merupakan hasil pengukuran arus tersebut. Dimana terdapat perbedaan antara perhitungan dan pengukuran disebabkan oleh akurasi alat ukur tersebut. Dimana kebutuhan arus ditinjau dari perhitungan sebesar 10 mA, pengukuran sebesar 9,1 mA.

**Tabel 4-1**  
**Kebutuhan dan Pengukuran Arus**  
**Pada Sistem Minimum AT89C51**

| Kebutuhan Arus<br>(mA) | Pengukuran Arus<br>(mA) |
|------------------------|-------------------------|
| 10                     | 9,1                     |



**Gambar 4-3**  
**Foto Hasil Pengujian Arus Pada Sistem Minimum AT89C51**

4.2. Pengujian LCD

Untuk LCD yang diukur adalah tegangan output dari Dioda yang masuk ke LCD. Tabel berikut ini merupakan perbandingan hasil perhitungan dan hasil pengukuran arus tersebut. Arus ditinjau dari Perhitungan di dapat 50 mA sedangkan pengukuran 4,8 mA

**Tabel 4-2**  
**Kebutuhan dan Pengukuran Arus Pada LCD**

| Kebutuhan Arus<br>(mA) | Hasil Pengukuran<br>(mA) |
|------------------------|--------------------------|
| 50                     | 45.8                     |



**Gambar 4-4**  
**Foto Hasil Pengujian Arus Pada LCD**



4.3. Pengujian Relay

Untuk pengujian ini yang diukur adalah arus yang masuk pada Driver relay. Tabel berikut ini merupakan perbandingan hasil pengukuran dan perhitungan tegangan tersebut. Tabel 4-3 menerangkan bahwa saat keluaran port T1 berlogic 1 relay akan bekerja disebabkan adanya tegangan sebesar 11,92 volt. Sedang pada saat T1 berlogic 0 relay tidak bekerja atau mengalami cut off, dengan tegangan sebesar 0,07 volt

Tabel 4-3  
Masukan Driver Bel Listrik

| Masukan | Tegangan ( Volt ) |
|---------|-------------------|
| 1       | 11,92             |
| 0       | 0,07              |

Tabel 4-4 menerangkan kebutuhan arus yang diperlukan relay agar bekerja, dimana perhitungan didapat 33 mA sedang pada pengukuran didapatkan arus sebesar 31 mA. Perbedaan pengukuran dan perhitungan dikarenakan adanya akurasi alat ukur.

Tabel 4-4  
Hasil Perhitungan dan Pengukuran Arus  
Pada Rangkaian Driver Relay

| Hasil Perhitungan<br>(mA) | Hasil Pengukuran<br>(mA) |
|---------------------------|--------------------------|
| 33                        | 31                       |



**Gambar 4-5**  
**Foto Hasil Pengujian Rangkaian Driver Relay**

**4.4. Pengujian Power Supply**

Untuk power supply yang diukur adalah tegangan output dari trafo setelah melalui penyearah (dioda). Tabel berikut ini merupakan perbandingan hasil perhitungan dan pengukuran tegangan tersebut

**Tabel 4-5**  
**Hasil Perhitungan dan Pengukuran Tegangan Output Setelah Melalui Penyearah (Vdc)**

| Hasil Perhitungan<br>(Volt) | Hasil Pengukuran<br>(Volt) |
|-----------------------------|----------------------------|
| 13,12                       | 13,28                      |



**Gambar 4-6**  
**Foto Hasil Pengujian Tegangan Power Supply**

#### 4.5. Pengukuran Arus Total

Jumlah arus secara keseluruhan yang mengalir pada tiap-tiap rangkaian dapat diketahui dengan cara menjumlahkan seluruh hasil pengukuran arus.

$$I_{\text{Total}} = I_{\text{Rangkaian MC}} + I_{\text{LCD}} + I_{\text{Driver}}$$

$$I_{\text{total}} = 10 + 50 + 33$$

$$= 93 \text{ mA}$$

**Tabel 4-6**  
**Hasil Perhitungan dan Pengukuran Arus Total**  
**Rangkaian Pada Minimum Sistem**

| Hasil Perhitungan<br>(mA) | Hasil Pengukuran<br>(mA) |
|---------------------------|--------------------------|
| 93                        | 91.8                     |



**Gambar 4-7**  
**Foto Hasil Pengukuran Arus Total**

#### 4.6. Kesalahan Relatif Data

Kesalahan relatif rata-rata akan menjadikan tendensi pada setiap hasil pengukuran yang dilakukan. Oleh sebab itu untuk mencari kesalahan relatif tiap data yang diambil maka dipakai rumus :

$$K_r = \frac{|X - \bar{X}|}{\bar{X}} \times 100 \%$$

Dimana :

$K_r$  = kesalahan relatif

$X$  = nilai yang diperoleh dari perhitungan

$\bar{X}$  = nilai yang diperoleh dari pengukuran

Sebagai contoh hasil pengujian saat pengukuran pada Driver relay, maka didapat:

$$\begin{aligned}
 K_r &= \frac{|\bar{X} - X|}{\bar{X}} \times 100\% \\
 &= \frac{33 - 31}{31} \times 100\% \\
 &= 6,4 \%
 \end{aligned}$$

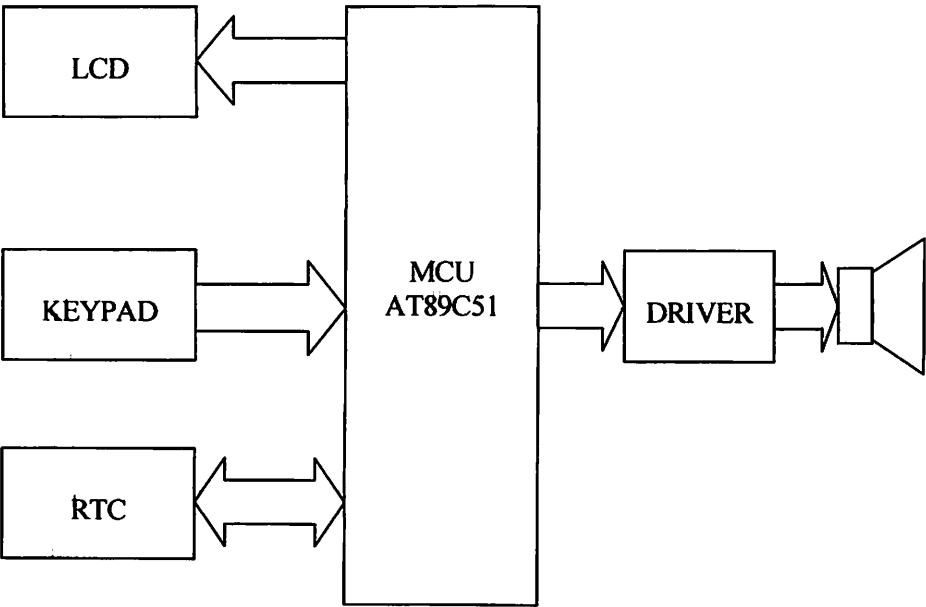
Sehingga dengan mengetahui kesalahan relatif yang ada untuk prosentasi dapat dihitung dengan sistem pengurangan yaitu,  $100 \% - 6,4 \% = 93,6 \%$

#### 4.7. Pengujian Secara Keseluruhan

Dalam pengujian rangkaian keseluruhan ini memiliki tujuan yaitu untuk mengetahui masing-masing rangkaian (blok) dan menjalankan perangkat lunak yang telah dibuat. Dengan memasukan waktu aktifitas sekolah melalui keypad, dan ditampilkan ke LCD, mikrokontroler akan mendeteksi dan mencocokkan waktu sekarang dengan waktu yang dimasukan melalui keypad, jika waktu atau jam sama dengan waktu RTC maka bel listrik akan aktif. Blok diagram pengujian secara keseluruhan sebagai berikut :

the first of these is the fact that the  
 the second is the fact that the  
 the third is the fact that the  
 the fourth is the fact that the  
 the fifth is the fact that the  
 the sixth is the fact that the  
 the seventh is the fact that the  
 the eighth is the fact that the  
 the ninth is the fact that the  
 the tenth is the fact that the

the first of these is the fact that the  
 the second is the fact that the  
 the third is the fact that the  
 the fourth is the fact that the  
 the fifth is the fact that the  
 the sixth is the fact that the  
 the seventh is the fact that the  
 the eighth is the fact that the  
 the ninth is the fact that the  
 the tenth is the fact that the  
 the first of these is the fact that the  
 the second is the fact that the  
 the third is the fact that the  
 the fourth is the fact that the  
 the fifth is the fact that the  
 the sixth is the fact that the  
 the seventh is the fact that the  
 the eighth is the fact that the  
 the ninth is the fact that the  
 the tenth is the fact that the



**Gambar 4-8**  
**Blok diagram Pengujian Sistem Minimum Secara Keseluruhan**

## **BAB V**

### **PENUTUP**

#### **5.1. Kesimpulan**

Selama dalam perencanaan dan pengujian dari keseluruhan sistem yang telah dibuat dapat ditarik beberapa kesimpulan antara lain :

- 1) Pada rangkaian Minimum sistem Arus yang masuk sebesar 9,1 mA
- 2) Bel listrik akan aktif jika waktu atau jam yang telah dimasukan melalui key pad sama dengan waktu pada RTC DS12C887.
- 3) Bel listrik akan aktif pada saat masukan high karena tedapat tegangan masuk sebesar 11,92 Volt sedangkan bel listrik tidak aktif pada saat masukan berlogika Low tegangan masuk sebesar 0,07 Volt
- 4) Kebutuhan arus total ( $I_{tot}$ ) sistem secara keseluruhan sebesar 91,8 mA
- 5) Traformator yang digunakan atau dibutuhkan adalah 1 Ampere.



## DAFTAR PUSTAKA






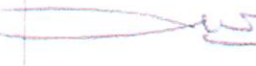
- 1) Atmel, 1997, Flash Microcontroller Architectural Overview, Atmel Inc.,  
(<http://www.atmel.com>), USA.
- 2) Dallas Semikonduktor : DS12C887 Real Time Clock  
(<http://www.dalsem.com>), USA.
- 3) Eko Putra Afgianto, 2004, Belajar Mikrokontroller AT89C51/52/55,  
Yogyakarta: Penerbit Gava Media.
- 4) J. Ayala Kenneth, 1997, The Mikrokontroller 8051.
- 5) Malvino, 1994, Prinsip - Prinsip Elektronika, Jakarta: Penerbit Erlangga.
- 6) Wasito S, 1985, Vademakum Elektronika, Jakarta: Penerbit PT. Gramedia.
- 7) \_\_\_\_\_, 1994 Laporan Pratikum Bengkel Elektromagnetik ITN  
Malang.



# LAMPIRAN

LEMBAR ASISTENSI

Nama : Indra Sudarwanto  
Nim : 00.57.007  
Jurusan : Teknik Elektronika DIII  
Pembimbing : Bambang Prio Hartono,ST,MT  
Judul : Perencanaan Dan Pembuatan Bel Sekolah Secara Otomatis  
Berbasis Mikrokontroler AT89C51"

| No. | Tanggal | Keterangan  | Tanda Tangan   |
|-----|---------|---|--|
| 1.  | 2/2 09  | BAB I, II, III, IV, V<br>Revisi BAB III, IV<br>Acc BAB I, II, V |    |
| 2   | 7/2 09  | BAB III, IV<br>Revisi BAB III, IV                               |   |
| 3   | 12/2 09 | BAB III, IV<br>Revisi BAB IV<br>Acc BAB III                     |  |
| 4   | 16/2 09 | BAB IV<br>Acc BAB IV<br>ditambah Daftar Pustaka                 |  |
| 5   | 17/2 09 | Daftar Pustaka Acc  |  |
| 6   | 18/2 09 | Acc revisi  |  |

Malang, Desember 2008

Disetujui  
Dosen Pembimbing



(Bambang Prio Hartono,ST,MT)

**DALLAS**  
SEMICONDUCTOR

## DS12887 Real Time Clock

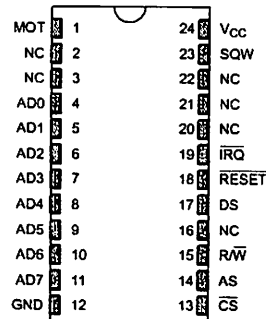
### FEATURES

- Drop-in replacement for IBM AT computer clock/calendar
- Pin compatible with the MC146818B and DS1287
- Totally nonvolatile with over 10 years of operation in the absence of power
- Self-contained subsystem includes lithium, quartz, and support circuitry
- Counts seconds, minutes, hours, days, day of the week, date, month, and year with leap year compensation valid up to 2100
- Binary or BCD representation of time, calendar, and alarm
- 12- or 24-hour clock with AM and PM in 12-hour mode
- Daylight Savings Time option
- Selectable between Motorola and Intel bus timing
- Multiplex bus for pin efficiency
- Interfaced with software as 128 RAM locations
  - 14 bytes of clock and control registers
  - 114 bytes of general purpose RAM
- Programmable square wave output signal
- Bus-compatible interrupt signals ( $\overline{\text{IRQ}}$ )
- Three interrupts are separately software-maskable and testable
  - Time-of-day alarm once/second to once/day
  - Periodic rates from 122  $\mu\text{s}$  to 500 ms
  - End of clock update cycle

### DESCRIPTION

The DS12887 Real Time Clock plus RAM is designed to be a direct replacement for the DS1287. The DS12887 is identical in form, fit, and function to the DS1287, and has an additional 64 bytes of general purpose RAM. Access to this additional RAM space is determined by the logic level presented on AD6 during the address portion of an access cycle. A lithium energy source, quartz crystal, and write-protection circuitry are contained within a 24-pin dual in-line package. As such, the

### PIN ASSIGNMENT



24 PIN ENCAPSULATED PACKAGE

### PIN DESCRIPTION

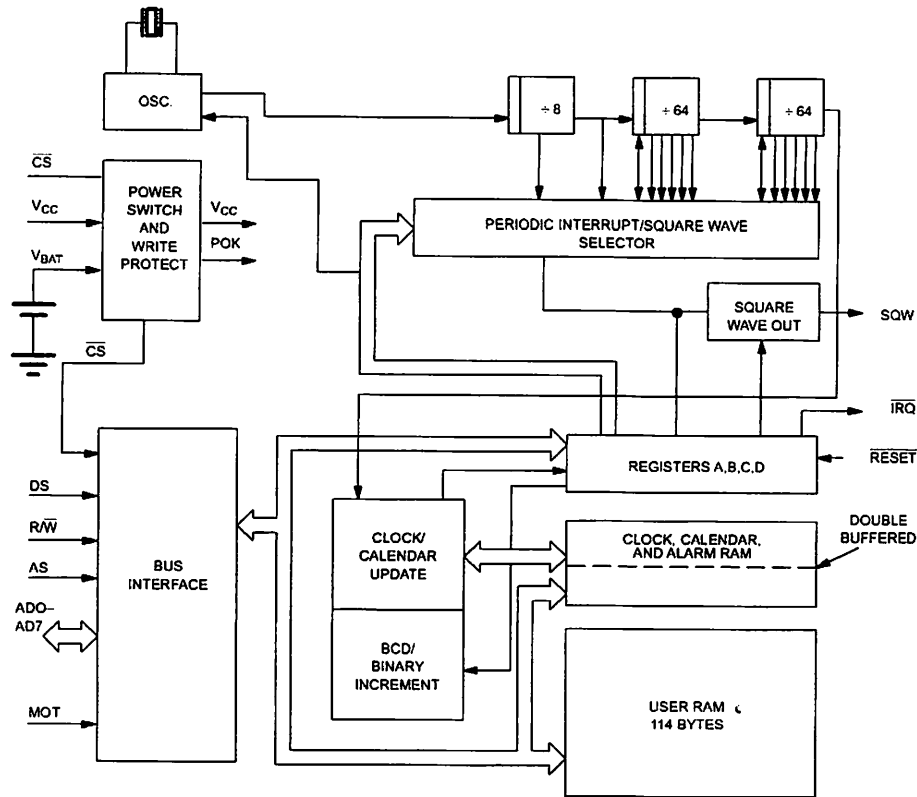
|         |                                |
|---------|--------------------------------|
| AD0-AD7 | - Multiplexed Address/Data Bus |
| NC      | - No Connection                |
| MOT     | - Bus Type Selection           |
| CS      | - Chip Select                  |
| AS      | - Address Strobe               |
| R/W     | - Read/Write Input             |
| DS      | - Data Strobe                  |
| RESET   | - Reset Input                  |
| IRQ     | - Interrupt Request Output     |
| SQW     | - Square Wave Output           |
| Vcc     | - +5 Volt Supply               |
| GND     | - Ground                       |

DS12887 is a complete subsystem replacing 16 components in a typical application. The functions include a nonvolatile time-of-day clock, an alarm, a one-hundred-year calendar, programmable interrupt, square wave generator, and 114 bytes of nonvolatile static RAM. The real time clock is distinctive in that time-of-day and memory are maintained even in the absence of power.

OPERATION

The block diagram in Figure 1 shows the pin connections with the major internal functions of the DS12887. The following paragraphs describe the function of each pin.

BLOCK DIAGRAM DS12887 Figure 1



POWER-DOWN/POWER-UP CONSIDERATIONS

The Real Time Clock function will continue to operate and all of the RAM, time, calendar, and alarm memory locations remain nonvolatile regardless of the level of the  $V_{CC}$  input. When  $V_{CC}$  is applied to the DS12887 and reaches a level of greater than 4.25 volts, the device becomes accessible after 200 ms, provided that the oscillator is running and the oscillator countdown chain is not in reset (see Register A). This time period allows the system to stabilize after power is applied. When

$V_{CC}$  falls below 4.25 volts, the chip select input is internally forced to an inactive level regardless of the value of  $\overline{CS}$  at the input pin. The DS12887 is, therefore, write-protected. When the DS12887 is in a write-protected state, all inputs are ignored and all outputs are in a high impedance state. When  $V_{CC}$  falls below a level of approximately 3 volts, the external  $V_{CC}$  supply is switched off and an internal lithium energy source supplies power to the Real Time Clock and the RAM memory.

## SIGNAL DESCRIPTIONS

GND,  $V_{CC}$  – DC power is provided to the device on these pins.  $V_{CC}$  is the +5 volt input. When 5 volts are applied within normal limits, the device is fully accessible and data can be written and read. When  $V_{CC}$  is below 4.25 volts typical, reads and writes are inhibited. However, the timekeeping function continues unaffected by the lower input voltage. As  $V_{CC}$  falls below 3 volts typical, the RAM and timekeeper are switched over to an internal lithium energy source. The timekeeping function maintains an accuracy of  $\pm 1$  minute per month at 25°C regardless of the voltage input on the  $V_{CC}$  pin.

**MOT (Mode Select)** – The MOT pin offers the flexibility to choose between two bus types. When connected to

$V_{CC}$ , Motorola bus timing is selected. When connected to GND or left disconnected, Intel bus timing is selected. The pin has an internal pull-down resistance of approximately 20K $\Omega$ .

**SQW (Square Wave Output)** – The SQW pin can output a signal from one of 13 taps provided by the 15 internal divider stages of the Real Time Clock. The frequency of the SQW pin can be changed by programming Register A as shown in Table 1. The SQW signal can be turned on and off using the SQWE bit in Register B. The SQW signal is not available when  $V_{CC}$  is less than 4.25 volts typical.

**PERIODIC INTERRUPT RATE AND SQUARE WAVE OUTPUT FREQUENCY Table 1**

| SELECT BITS REGISTER A |     |     |     | $t_{PI}$ PERIODIC<br>INTERRUPT RATE | SQW OUTPUT<br>FREQUENCY |
|------------------------|-----|-----|-----|-------------------------------------|-------------------------|
| RS3                    | RS2 | RS1 | RS0 |                                     |                         |
| 0                      | 0   | 0   | 0   | None                                | None                    |
| 0                      | 0   | 0   | 1   | 3.90625 ms                          | 256 Hz                  |
| 0                      | 0   | 1   | 0   | 7.8125 ms                           | 128 Hz                  |
| 0                      | 0   | 1   | 1   | 122.070 $\mu$ s                     | 8.192 kHz               |
| 0                      | 1   | 0   | 0   | 244.141 $\mu$ s                     | 4.096 kHz               |
| 0                      | 1   | 0   | 1   | 488.281 $\mu$ s                     | 2.048 kHz               |
| 0                      | 1   | 1   | 0   | 976.5625 $\mu$ s                    | 1.024 kHz               |
| 0                      | 1   | 1   | 1   | 1.953125 ms                         | 512 Hz                  |
| 1                      | 0   | 0   | 0   | 3.90625 ms                          | 256 Hz                  |
| 1                      | 0   | 0   | 1   | 7.8125 ms                           | 128 Hz                  |
| 1                      | 0   | 1   | 0   | 15.625 ms                           | 64 Hz                   |
| 1                      | 0   | 1   | 1   | 31.25 ms                            | 32 Hz                   |
| 1                      | 1   | 0   | 0   | 62.5 ms                             | 16 Hz                   |
| 1                      | 1   | 0   | 1   | 125 ms                              | 8 Hz                    |
| 1                      | 1   | 1   | 0   | 250 ms                              | 4 Hz                    |
| 1                      | 1   | 1   | 1   | 500 ms                              | 2 Hz                    |

**AD0-AD7 (Multiplexed Bidirectional Address/Data Bus)** – Multiplexed buses save pins because address information and data information time share the same signal paths. The addresses are present during the first portion of the bus cycle and the same pins and signal paths are used for data in the second portion of the cycle. Address/data multiplexing does not slow the access time of the DS12887 since the bus change from address to data occurs during the internal RAM access time. Addresses must be valid prior to the falling edge of AS/ALE, at which time the DS12887 latches the address from AD0 to AD6. Valid write data must be present and held stable during the latter portion of the DS or  $\overline{WR}$  pulses. In a read cycle the DS12887 outputs 8 bits of data during the latter portion of the DS or  $\overline{RD}$  pulses. The read cycle is terminated and the bus returns to a high impedance state as DS transitions low in the case of Motorola timing or as  $\overline{RD}$  transitions high in the case of Intel timing.

**AS (Address Strobe Input)** – A positive going address strobe pulse serves to demultiplex the bus. The falling edge of AS/ALE causes the address to be latched within the DS12887. The next rising edge that occurs on the AS bus will clear the address regardless of whether  $\overline{CS}$  is asserted. Access commands should be sent in pairs.

**DS (Data Strobe or Read Input)** – The DS/ $\overline{RD}$  pin has two modes of operation depending on the level of the MOT pin. When the MOT pin is connected to  $V_{CC}$ , Motorola bus timing is selected. In this mode DS is a positive pulse during the latter portion of the bus cycle and is called Data Strobe. During read cycles, DS signifies the time that the DS12887 is to drive the bidirectional bus. In write cycles the trailing edge of DS causes the DS12887 to latch the written data. When the MOT pin is connected to GND, Intel bus timing is selected. In this mode the DS pin is called Read( $\overline{RD}$ ).  $\overline{RD}$  identifies the time period when the DS12887 drives the bus with read data. The  $\overline{RD}$  signal is the same definition as the Output Enable ( $\overline{OE}$ ) signal on a typical memory.

**$R/\overline{W}$  (Read/Write Input)** – The  $R/\overline{W}$  pin also has two modes of operation. When the MOT pin is connected to  $V_{CC}$  for Motorola timing,  $R/\overline{W}$  is at a level which indicates whether the current cycle is a read or write. A read cycle is indicated with a high level on  $R/\overline{W}$  while DS is high. A write cycle is indicated when  $R/\overline{W}$  is low during DS.

When the MOT pin is connected to GND for Intel timing, the  $R/\overline{W}$  signal is an active low signal called  $\overline{WR}$ . In this

mode the  $R/\overline{W}$  pin has the same meaning as the Write Enable signal ( $\overline{WE}$ ) on generic RAMs.

**$\overline{CS}$  (Chip Select Input)** – The Chip Select signal must be asserted low for a bus cycle in the DS12887 to be accessed.  $\overline{CS}$  must be kept in the active state during DS and AS for Motorola timing and during  $\overline{RD}$  and  $\overline{WR}$  for Intel timing. Bus cycles which take place without asserting  $\overline{CS}$  will latch addresses but no access will occur. When  $V_{CC}$  is below 4.25 volts, the DS12887 internally inhibits access cycles by internally disabling the  $\overline{CS}$  input. This action protects both the real time clock data and RAM data during power outages.

**$\overline{IRQ}$  (Interrupt Request Output)** – The  $\overline{IRQ}$  pin is an active low output of the DS12887 that can be used as an interrupt input to a processor. The  $\overline{IRQ}$  output remains low as long as the status bit causing the interrupt is present and the corresponding interrupt-enable bit is set. To clear the  $\overline{IRQ}$  pin the processor program normally reads the C register. The  $\overline{RESET}$  pin also clears pending interrupts.

When no interrupt conditions are present, the  $\overline{IRQ}$  level is in the high impedance state. Multiple interrupting devices can be connected to an  $\overline{IRQ}$  bus. The  $\overline{IRQ}$  bus is an open drain output and requires an external pull-up resistor.

**$\overline{RESET}$  (Reset Input)** – The  $\overline{RESET}$  pin has no effect on the clock, calendar, or RAM. On power-up the  $\overline{RESET}$  pin can be held low for a time in order to allow the power supply to stabilize. The amount of time that  $\overline{RESET}$  is held low is dependent on the application. However, if  $\overline{RESET}$  is used on power-up, the time  $\overline{RESET}$  is low should exceed 200 ms to make sure that the internal timer that controls the DS12887 on power-up has timed out. When  $\overline{RESET}$  is low and  $V_{CC}$  is above 4.25 volts, the following occurs:

- A. Periodic Interrupt Enable (PEI) bit is cleared to zero.
- B. Alarm Interrupt Enable (AIE) bit is cleared to zero.
- C. Update Ended Interrupt Flag (UF) bit is cleared to zero.
- D. Interrupt Request Status Flag (IRQF) bit is cleared to zero.
- E. Periodic Interrupt Flag (PF) bit is cleared to zero.
- F. The device is not accessible until  $\overline{RESET}$  is returned high.
- G. Alarm Interrupt Flag (AF) bit is cleared to zero.
- H.  $\overline{IRQ}$  pin is in the high impedance state.
- I. Square Wave Output Enable ( $\overline{SQWE}$ ) bit is cleared to zero.
- J. Update Ended Interrupt Enable (UIE) is cleared to zero.

In a typical application  $\overline{\text{RESET}}$  can be connected to  $V_{CC}$ . This connection will allow the DS12887 to go in and out of power fail without affecting any of the control registers.

### ADDRESS MAP

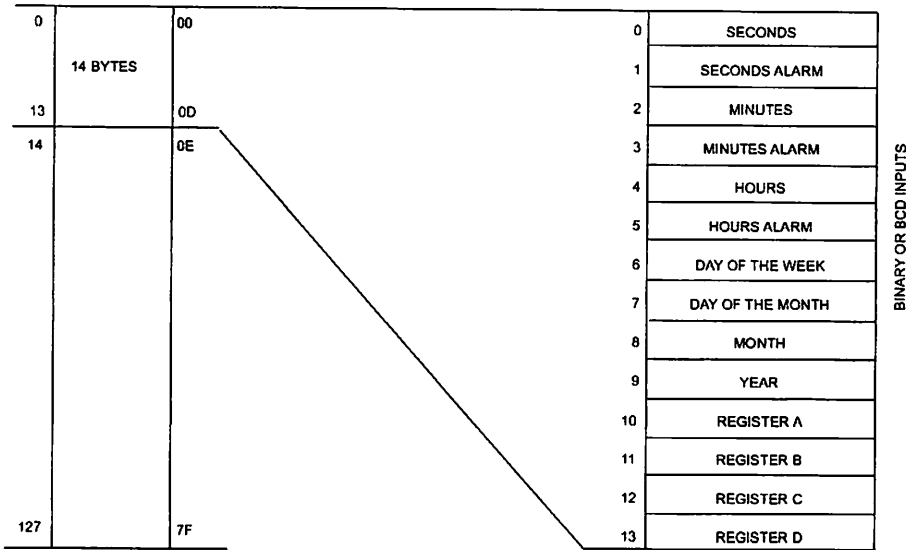
The address map of the DS12887 is shown in Figure 2. The address map consists of 114 bytes of user RAM, 10 bytes of RAM that contain the RTC time, calendar, and alarm data, and four bytes which are used for control

and status. All 128 bytes can be directly written or read except for the following:

1. Registers C and D are read-only.
2. Bit 7 of Register A is read-only.
3. The high order bit of the seconds byte is read-only.

The contents of four registers (A,B,C, and D) are described in the "Registers" section.

**ADDRESS MAP DS12887** Figure 2



### TIME, CALENDAR AND ALARM LOCATIONS

The time and calendar information is obtained by reading the appropriate memory bytes. The time, calendar, and alarm are set or initialized by writing the appropriate RAM bytes. The contents of the ten time, calendar, and alarm bytes can be either Binary or Binary-Coded Decimal (BCD) format. Before writing the internal time, calendar, and alarm registers, the SET bit in Register B should be written to a logic one to prevent updates from occurring while access is being attempted. In addition to writing the ten time, calendar, and alarm registers in a selected format (binary or BCD), the data mode bit (DM) of Register B must be set to the appropriate logic level. All ten time, calendar, and alarm bytes must use the

same data mode. The set bit in Register B should be cleared after the data mode bit has been written to allow the real time clock to update the time and calendar bytes. Once initialized, the real time clock makes all updates in the selected mode. The data mode cannot be changed without reinitializing the ten data bytes. Table 2 shows the binary and BCD formats of the ten time, calendar, and alarm locations. The 24-12 bit cannot be changed without reinitializing the hour locations. When the 12-hour format is selected, the high order bit of the hours byte represents PM when it is a logic one. The time, calendar, and alarm bytes are always accessible because they are double buffered. Once per second the ten bytes are advanced by one second and



checked for an alarm condition. If a read of the time and calendar data occurs during an update, a problem exists where seconds, minutes, hours, etc. may not correlate. The probability of reading incorrect time and calendar data is low. Several methods of avoiding any possible incorrect time and calendar reads are covered later in this text.

The three alarm bytes can be used in two ways. First, when the alarm time is written in the appropriate hours, minutes, and seconds alarm locations, the alarm inter-

rupt is initiated at the specified time each day if the alarm enable bit is high. The second use condition is to insert a "don't care" state in one or more of the three alarm bytes. The "don't care" code is any hexadecimal value from C0 to FF. The two most significant bits of each byte set the "don't care" condition when at logic 1. An alarm will be generated each hour when the "don't care" bits are set in the hours byte. Similarly, an alarm is generated every minute with "don't care" codes in the hours and minute alarm bytes. The "don't care" codes in all three alarm bytes create an interrupt every second.

TIME, CALENDAR AND ALARM DATA MODES Table 2

| ADDRESS LOCATION | FUNCTION                      | DECIMAL RANGE | RANGE              |                  |
|------------------|-------------------------------|---------------|--------------------|------------------|
|                  |                               |               | BINARY DATA MODE   | BCD DATA MODE    |
| 0                | Seconds                       | 0-59          | 00-3B              | 00-59            |
| 1                | Seconds Alarm                 | 0-59          | 00-3B              | 00-59            |
| 2                | Minutes                       | 0-59          | 00-3B              | 00-59            |
| 3                | Minutes Alarm                 | 0-59          | 00-3B              | 00-59            |
| 4                | Hours-12-hr Mode              | 1-12          | 01-0C AM, 81-8C PM | 01-12AM, 81-92PM |
|                  | Hours-24-hr Mode              | 0-23          | 00-17              | 00-23            |
| 5                | Hours Alarm-12-hr             | 1-12          | 01-0C AM, 81-8C PM | 01-12AM, 81-92PM |
|                  | Hours Alarm-24-hr             | 0-23          | 00-17              | 00-23            |
| 6                | Day of the Week<br>Sunday = 1 | 1-7           | 01-07              | 01-07            |
| 7                | Date of the Month             | 1-31          | 01-1F              | 01-31            |
| 8                | Month                         | 1-12          | 01-0C              | 01-12            |
| 9                | Year                          | 0-99          | 00-63              | 00-99            |

NONVOLATILE RAM

The 114 general purpose nonvolatile RAM bytes are not dedicated to any special function within the DS12887. They can be used by the processor program as nonvolatile memory and are fully available during the update cycle.

INTERRUPTS

The RTC plus RAM includes three separate, fully automatic sources of interrupt for a processor. The alarm interrupt can be programmed to occur at rates from once per second to once per day. The periodic interrupt can be selected for rates from 500 ms to 122 μs. The update-ended interrupt can be used to indicate to the

program that an update cycle is complete. Each of these independent interrupt conditions is described in greater detail in other sections of this text.

The processor program can select which interrupts, if any, are going to be used. Three bits in Register B enable the interrupts. Writing a logic 1 to an interrupt-enable bit permits that interrupt to be initiated when the event occurs. A zero in an interrupt-enable bit prohibits the  $\overline{\text{IRQ}}$  pin from being asserted from that interrupt condition. If an interrupt flag is already set when an interrupt is enabled,  $\overline{\text{IRQ}}$  is immediately set at an active level, although the interrupt initiating the event may have occurred much earlier. As a result, there are cases

where the program should clear such earlier initiated interrupts before first enabling new interrupts.

When an interrupt event occurs, the relating flag bit is set to logic 1 in Register C. These flag bits are set independent of the state of the corresponding enable bit in Register B. The flag bit can be used in a polling mode without enabling the corresponding enable bits. The interrupt flag bit is a status bit which software can interrogate as necessary. When a flag is set, an indication is given to software that an interrupt event has occurred since the flag bit was last read; however, care should be taken when using the flag bits as they are cleared each time Register C is read. Double latching is included with Register C so that bits which are set remain stable throughout the read cycle. All bits which are set (high) are cleared when read and new interrupts which are pending during the read cycle are held until after the cycle is completed. One, two, or three bits can be set when reading Register C. Each utilized flag bit should be examined when read to ensure that no interrupts are lost.

The second flag bit usage method is with fully enabled interrupts. When an interrupt flag bit is set and the corresponding interrupt enable bit is also set, the  $\overline{\text{IRQ}}$  pin is asserted low.  $\overline{\text{IRQ}}$  is asserted as long as at least one of the three interrupt sources has its flag and enable bits both set. The  $\overline{\text{IRQF}}$  bit in Register C is a one whenever the  $\overline{\text{IRQ}}$  pin is being driven low. Determination that the RTC initiated an interrupt is accomplished by reading Register C. A logic one in bit 7 ( $\overline{\text{IRQF}}$  bit) indicates that one or more interrupts have been initiated by the DS12887. The act of reading Register C clears all active flag bits and the  $\overline{\text{IRQF}}$  bit.

#### OSCILLATOR CONTROL BITS

When the DS12887 is shipped from the factory, the internal oscillator is turned off. This feature prevents the lithium energy cell from being used until it is installed in a system. A pattern of 010 in bits 4 through 6 of Register A will turn the oscillator on and enable the countdown chain. A pattern of 11X will turn the oscillator on, but holds the countdown chain of the oscillator in reset. All other combinations of bits 4 through 6 keep the oscillator off.

#### SQUARE WAVE OUTPUT SELECTION

Thirteen of the 15 divider taps are made available to a 1-of-15 selector, as shown in the block diagram of Fig-

ure 1. The first purpose of selecting a divider tap is to generate a square wave output signal on the SQW pin. The RS0–RS3 bits in Register A establish the square wave output frequency. These frequencies are listed in Table 1. The SQW frequency selection shares its 1-of-15 selector with the periodic interrupt generator. Once the frequency is selected, the output of the SQW pin can be turned on and off under program control with the square wave enable bit (SQWE).

#### PERIODIC INTERRUPT SELECTION

The periodic interrupt will cause the  $\overline{\text{IRQ}}$  pin to go to an active state from once every 500 ms to once every 122  $\mu\text{s}$ . This function is separate from the alarm interrupt which can be output from once per second to once per day. The periodic interrupt rate is selected using the same Register A bits which select the square wave frequency (see Table 1). Changing the Register A bits affects both the square wave frequency and the periodic interrupt output. However, each function has a separate enable bit in Register B. The SQWE bit controls the square wave output. Similarly, the periodic interrupt is enabled by the PIE bit in Register B. The periodic interrupt can be used with software counters to measure inputs, create output intervals, or await the next needed software function.

#### UPDATE CYCLE

The DS12887 executes an update cycle once per second regardless of the SET bit in Register B. When the SET bit in Register B is set to one, the user copy of the double buffered time, calendar, and alarm bytes is frozen and will not update as the time increments. However, the time countdown chain continues to update the internal copy of the buffer. This feature allows time to maintain accuracy independent of reading or writing the time, calendar, and alarm buffers and also guarantees that time and calendar information is consistent. The update cycle also compares each alarm byte with the corresponding time byte and issues an alarm if a match or if a "don't care" code is present in all three positions.

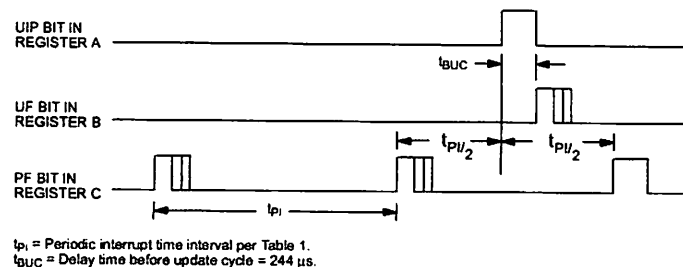
There are three methods that can handle access of the real time clock that avoid any possibility of accessing inconsistent time and calendar data. The first method uses the update-ended interrupt. If enabled, an interrupt occurs after every update cycle that indicates that over 999 ms are available to read valid time and date information. If this interrupt is used, the  $\overline{\text{IRQF}}$  bit in Reg-

ister C should be cleared before leaving the interrupt routine.

A second method uses the update-in-progress bit (UIP) in Register A to determine if the update cycle is in progress. The UIP bit will pulse once per second. After the UIP bit goes high, the update transfer occurs 244  $\mu$ s later. If a low is read on the UIP bit, the user has at least 244  $\mu$ s before the time/calendar data will be changed. Therefore, the user should avoid interrupt service routines that would cause the time needed to read valid time/calendar data to exceed 244  $\mu$ s.

The third method uses a periodic interrupt to determine if an update cycle is in progress. The UIP bit in Register A is set high between the setting of the PF bit in Register C (see Figure 3). Periodic interrupts that occur at a rate of greater than  $t_{BUC}$  allow valid time and date information to be reached at each occurrence of the periodic interrupt. The reads should be complete within 1 ( $t_{PI/2} + t_{BUC}$ ) to ensure that data is not read during the update cycle.

UPDATE-ENDED AND PERIODIC INTERRUPT RELATIONSHIP Figure 3



### REGISTERS

The DS12887 has four control registers which are accessible at all times, even during the update cycle.

#### REGISTER A

| MSB   |       |       |       | LSB   |       |       |       |
|-------|-------|-------|-------|-------|-------|-------|-------|
| BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
| UIP   | DV2   | DV1   | DV0   | RS3   | RS2   | RS1   | RS0   |

#### UIP

The Update In Progress (UIP) bit is a status flag that can be monitored. When the UIP bit is a one, the update transfer will soon occur. When UIP is a zero, the update transfer will not occur for at least 244  $\mu$ s. The time, calendar, and alarm information in RAM is fully available for access when the UIP bit is zero. The UIP bit is read only and is not affected by RESET. Writing the SET bit in Register B to a one inhibits any update transfer and clears the UIP status bit.

#### DV0, DV1, DV2

These three bits are used to turn the oscillator on or off and to reset the countdown chain. A pattern of 010 is the only combination of bits that will turn the oscillator on and allow the RTC to keep time. A pattern of 11X will enable the oscillator but holds the countdown chain in reset. The next update will occur at 500 ms after a pattern of 010 is written to DV0, DV1, and DV2.

#### RS3, RS2, RS1, RS0

These four rate-selection bits select one of the 13 taps on the 15-stage divider or disable the divider output. The tap selected can be used to generate an output square wave (SQW pin) and/or a periodic interrupt. The user can do one of the following:

1. Enable the interrupt with the PIE bit;
2. Enable the SQW output pin with the SQWE bit;
3. Enable both at the same time and the same rate; or
4. Enable neither.

Table 1 lists the periodic interrupt rates and the square wave frequencies that can be chosen with the RS bits. These four read/write bits are not affected by RESET.

## REGISTER B

| MSB   |       |       |       | LSB   |       |       |       |
|-------|-------|-------|-------|-------|-------|-------|-------|
| BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
| SET   | PIE   | AIE   | UIE   | SQWE  | DM    | 24/12 | DSE   |

### SET

When the SET bit is a zero, the update transfer functions normally by advancing the counts once per second. When the SET bit is written to a one, any update transfer is inhibited and the program can initialize the time and calendar bytes without an update occurring in the midst of initializing. Read cycles can be executed in a similar manner. SET is a read/write bit that is not modified by RESET or internal functions of the DS12887.

### PIE

The periodic interrupt enable PIE bit is a read/write bit which allows the Periodic Interrupt Flag (PF) bit in Register C to drive the IRQ pin low. When the PIE bit is set to one, periodic interrupts are generated by driving the IRQ pin low at a rate specified by the RS3–RS0 bits of Register A. A zero in the PIE bit blocks the IRQ output from being driven by a periodic interrupt, but the Periodic Flag (PF) bit is still set at the periodic rate. PIE is not modified by any internal DS12887 functions, but is cleared to zero on RESET.

### AIE

The Alarm Interrupt Enable (AIE) bit is a read/write bit which, when set to a one, permits the Alarm Flag (AF) bit in register C to assert IRQ. An alarm interrupt occurs for each second that the three time bytes equal the three alarm bytes including a "don't care" alarm code of binary 11XXXXXX. When the AIE bit is set to zero, the AF bit does not initiate the IRQ signal. The RESET pin clears AIE to zero. The internal functions of the DS12887 do not affect the AIE bit.

### UIE

The Update Ended Interrupt Enable (UIE) bit is a read/write that enables the Update End Flag (UF) bit in Register C to assert IRQ. The RESET pin going low or the SET bit going high clears to UIE bit.

### SQWE

When the Square Wave Enable (SQWE) bit is set to a one, a square wave signal at the frequency set by the rate-selection bits RS3 through RS0 is driven out on a SQW pin. When the SQWE bit is set to zero, the SQW pin is held low; the state of SQWE is cleared by the RESET pin. SQWE is a read/write bit.

### DM

The Data Mode (DM) bit indicates whether time and calendar information is in binary or BCD format. The DM bit is set by the program to the appropriate format and can be read as required. This bit is not modified by internal functions or RESET. A one in DM signifies binary data while a zero in DM specifies Binary Coded Decimal (BCD) data.

### 24/12

The 24/12 control bit establishes the format of the hours byte. A one indicates the 24-hour mode and a zero indicates the 12-hour mode. This bit is read/write and is not affected by internal functions of RESET.

### DSE

The Daylight Savings Enable (DSE) bit is a read/write bit which enables two special updates when DSE is set to one. On the first Sunday in April the time increments from 1:59:59 AM to 3:00:00 AM. On the last Sunday in October when the time first reaches 1:59:59 AM it changes to 1:00:00 AM. These special updates do not occur when the DSE bit is a zero. This bit is not affected by internal functions or RESET.

## REGISTER C

| MSB   |       |       |       | LSB   |       |       |       |
|-------|-------|-------|-------|-------|-------|-------|-------|
| BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
| IRQF  | PF    | AF    | UF    | 0     | 0     | 0     | 0     |

### IRQF

The Interrupt Request Flag (IRQF) bit is set to a one when one or more of the following are true:

PF = PIE = 1

AF = AIE = 1

UF = UIE = 1

That is,  $IRQF = PF + PIE + AF + AIE + UF + UIE$ .

Any time the IRQF bit is a one, the  $\overline{\text{IRQ}}$  pin is driven low. All flag bits are cleared after Register C is read by the program or when the  $\overline{\text{RESET}}$  pin is low.

**PF**

The Periodic Interrupt Flag (PF) is a read-only bit which is set to a one when an edge is detected on the selected tap of the divider chain. The RS3 through RS0 bits establish the periodic rate. PF is set to a one independent of the state of the PIE bit. When both PF and PIE are ones, the  $\overline{\text{IRQ}}$  signal is active and will set the IRQF bit. The PF bit is cleared by a  $\overline{\text{RESET}}$  or a software read of Register C.

**AF**

A one in the Alarm Interrupt Flag (AF) bit indicates that the current time has matched the alarm time. If the AIE bit is also a one, the  $\overline{\text{IRQ}}$  pin will go low and a one will appear in the IRQF bit. A  $\overline{\text{RESET}}$  or a read of Register C will clear AF.

**UF**

The Update Ended Interrupt Flag (UF) bit is set after each update cycle. When the UIE bit is set to one, the one in UF causes the IRQF bit to be a one which will

assert the  $\overline{\text{IRQ}}$  pin. UF is cleared by reading Register C or a  $\overline{\text{RESET}}$ .

**BIT 0 THROUGH BIT 3**

These are unused bits of the status Register C. These bits always read zero and cannot be written.

**REGISTER D**

| MSB   |       |       |       | LSB   |       |       |       |
|-------|-------|-------|-------|-------|-------|-------|-------|
| BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
| VRT   | 0     | 0     | 0     | 0     | 0     | 0     | 0     |

**VRT**

The Valid RAM and Time (VRT) bit is set to the one state by Dallas Semiconductor prior to shipment. This bit is not writable and should always be a one when read. If a zero is ever present, an exhausted internal lithium energy source is indicated and both the contents of the RTC data and RAM data are questionable. This bit is unaffected by  $\overline{\text{RESET}}$ .

**BIT 6 THROUGH BIT 0**

The remaining bits of Register D are not usable. They cannot be written and, when read, they will always read zero.

**ABSOLUTE MAXIMUM RATINGS\***

|                                       |                                   |
|---------------------------------------|-----------------------------------|
| Voltage on Any Pin Relative to Ground | −0.3V to +7.0V                    |
| Operating Temperature                 | 0°C to 70°C                       |
| Storage Temperature                   | −40°C to +70°C                    |
| Soldering Temperature                 | 260°C for 10 seconds (See Note 7) |

\* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

**RECOMMENDED DC OPERATING CONDITIONS** (0°C to 70°C)

| PARAMETER            | SYMBOL          | MIN  | TYP | MAX                  | UNITS | NOTES |
|----------------------|-----------------|------|-----|----------------------|-------|-------|
| Power Supply Voltage | V <sub>CC</sub> | 4.5  | 5.0 | 5.5                  | V     | 1     |
| Input Logic 1        | V <sub>IH</sub> | 2.2  |     | V <sub>CC</sub> +0.3 | V     | 1     |
| Input Logic 0        | V <sub>IL</sub> | −0.3 |     | +0.8                 | V     | 1     |

**DC ELECTRICAL CHARACTERISTICS** (0°C to 70°C; V<sub>CC</sub> = 4.5 to 5.5V)

| PARAMETER             | SYMBOL           | MIN  | TYP  | MAX  | UNITS | NOTES |
|-----------------------|------------------|------|------|------|-------|-------|
| Power Supply Current  | I <sub>CC1</sub> |      | 7    | 15   | mA    | 2     |
| Input Leakage         | I <sub>IL</sub>  | −1.0 |      | +1.0 | μA    | 3     |
| I/O Leakage           | I <sub>LO</sub>  | −1.0 |      | +1.0 | μA    | 4     |
| Input Current         | I <sub>MOT</sub> | −1.0 |      | +500 | μA    | 3     |
| Output @ 2.4V         | I <sub>OH</sub>  | −1.0 |      |      | mA    | 1, 5  |
| Output @ 0.4V         | I <sub>OL</sub>  |      |      | 4.0  | mA    | 1     |
| Write Protect Voltage | V <sub>TP</sub>  | 4.0  | 4.25 | 4.5  | V     |       |

**CAPACITANCE** (t<sub>A</sub> = 25°C)

| PARAMETER          | SYMBOL           | MIN | TYP | MAX | UNITS | NOTES |
|--------------------|------------------|-----|-----|-----|-------|-------|
| Input Capacitance  | C <sub>IN</sub>  |     |     | 5   | pF    |       |
| Output Capacitance | C <sub>OUT</sub> |     |     | 7   | pF    |       |

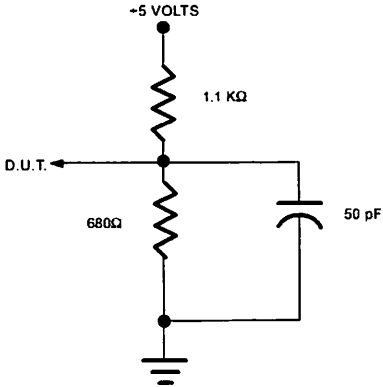
AC ELECTRICAL CHARACTERISTICS (0°C to 70°C; VCC = 4.5V to 5.5V)

| PARAMETER                                   | SYMBOL                          | MIN | TYP | MAX | UNITS | NOTES |
|---|---------------------------------|-----|-----|-----|-------|-------|
| Cycle Time                                  | t <sub>CYC</sub>                | 385 |     | DC  | ns    |       |
| Pulse Width, DS/E Low or RD/WR High         | PW <sub>EL</sub>                | 150 |     |     | ns    |       |
| Pulse Width, DS/E High or RD/WR Low         | PW <sub>EH</sub>                | 125 |     |     | ns    |       |
| Input Rise and Fall Time                    | t <sub>R</sub> , t <sub>F</sub> |     |     | 30  | ns    |       |
| R/W Hold Time                               | t <sub>RWH</sub>                | 10  |     |     | ns    |       |
| R/W Setup Time Before DS/E                  | t <sub>RWS</sub>                | 50  |     |     | ns    |       |
| Chip Select Setup Time Before DS, WR, or RD | t <sub>CS</sub>                 | 20  |     |     | ns    |       |
| Chip Select Hold Time                       | t <sub>CH</sub>                 | 0   |     |     | ns    |       |
| Read Data Hold Time                         | t <sub>DHR</sub>                | 10  |     | 80  | ns    |       |
| Write Data Hold Time                        | t <sub>DHW</sub>                | 0   |     |     | ns    |       |
| Muxed Address Valid Time to AS/ALE Fall     | t <sub>ASL</sub>                | 30  |     |     | ns    |       |
| Muxed Address Hold Time                     | t <sub>AHL</sub>                | 10  |     |     | ns    |       |
| Delay Time DS/E to AS/ALE Rise              | t <sub>ASD</sub>                | 20  |     |     | ns    |       |
| Pulse Width AS/ALE High                     | PW <sub>ASH</sub>               | 60  |     |     | ns    |       |
| Delay Time, AS/ALE to DS/E Rise             | t <sub>ASED</sub>               | 40  |     |     | ns    |       |
| Output Data Delay Time From DS/E or RD      | t <sub>DDR</sub>                | 20  |     | 120 | ns    | 6     |
| Data Setup Time                             | t <sub>DSW</sub>                | 100 |     |     | ns    |       |
| Reset Pulse Width                           | t <sub>RWL</sub>                | 5   |     |     | μs    |       |
| IRQ Release from DS                         | t <sub>IRDS</sub>               |     |     | 2   | μs    |       |
| IRQ Release from RESET                      | t <sub>IRR</sub>                |     |     | 2   | μs    |       |

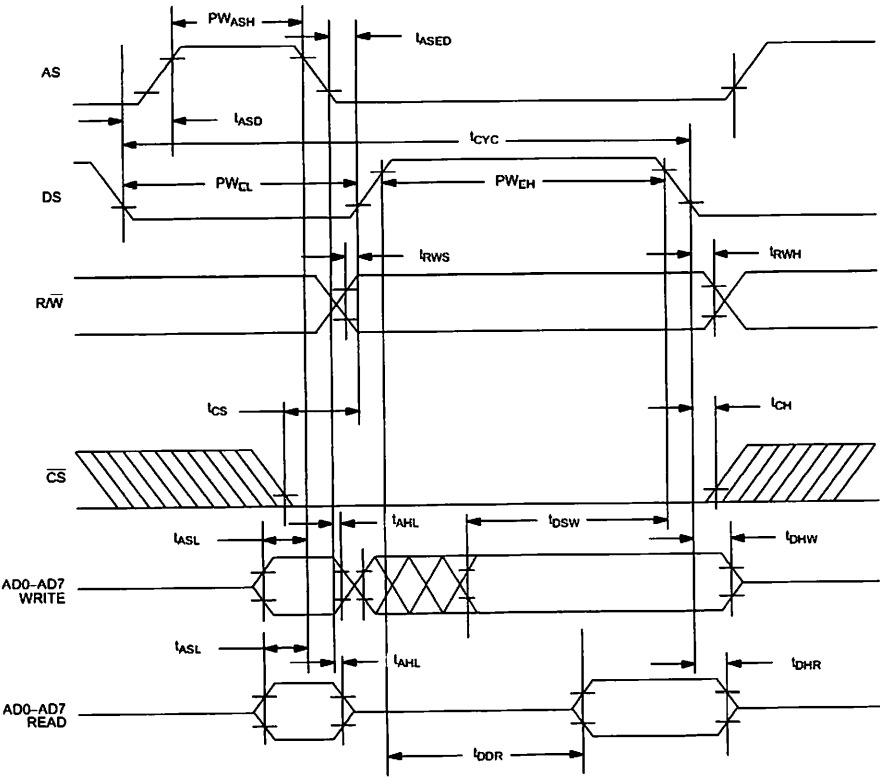
NOTES:

- 1. All voltages are referenced to ground.
- 2. All outputs are open.
- 3. The MOT pin has an internal pulldown of 20 KΩ.
- 4. Applies to the AD0–AD7 pins, the  $\overline{\text{IRQ}}$  pin, and the SQW pin when each is in the high impedance state.
- 5. The  $\overline{\text{IRQ}}$  pin is open drain.
- 6. Measured with a load as shown in Figure 4.
- 7. Real–Time Clock Modules can be successfully processed through conventional wave–soldering techniques as long as temperature exposure to the lithium energy source contained within does not exceed +85°C. However, post solder cleaning with water washing techniques is acceptable, provided that ultrasonic vibration is not used to prevent damage to the crystal.

OUTPUT LOAD Figure 4

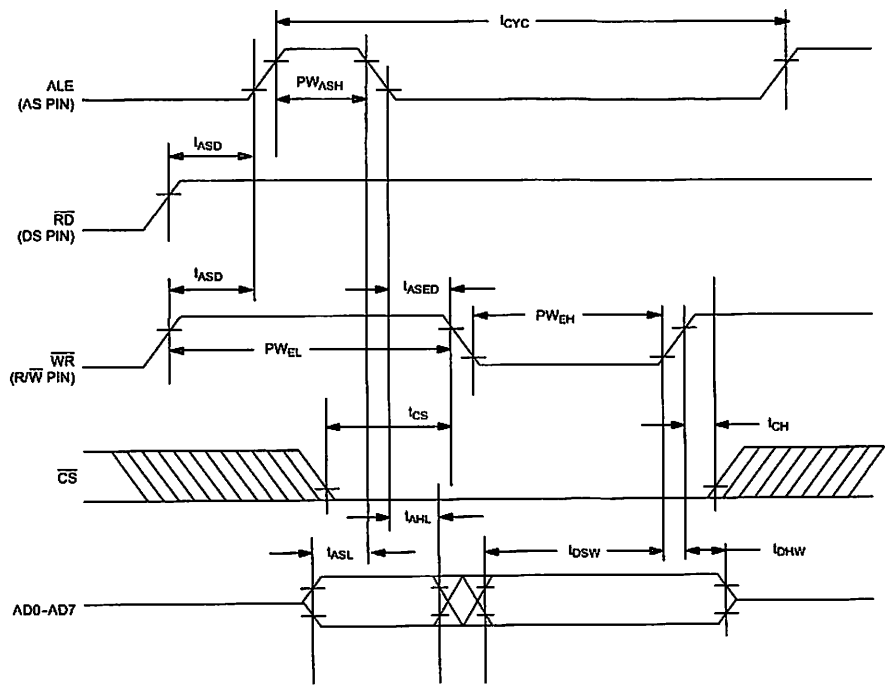


DS12887 BUS TIMING FOR MOTOROLA INTERFACE

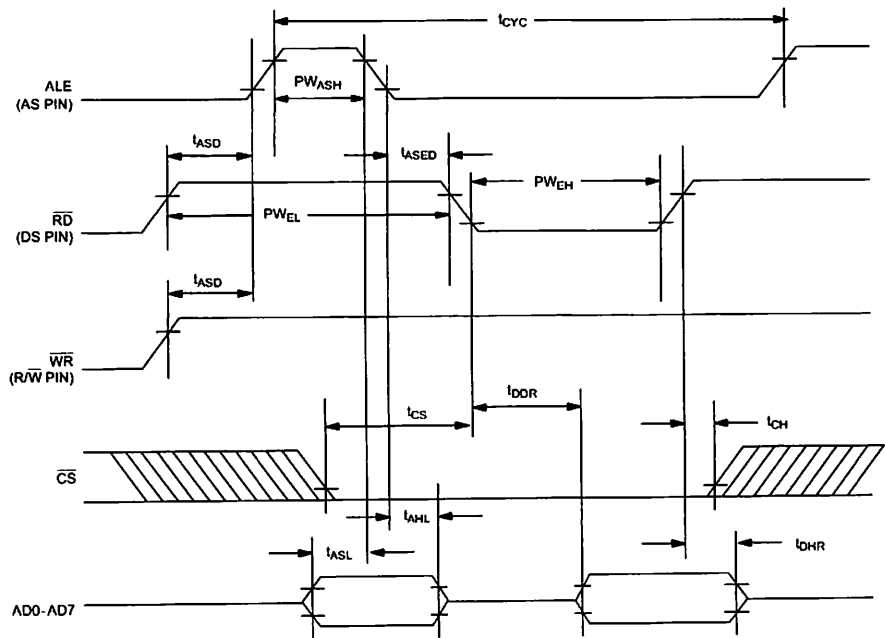




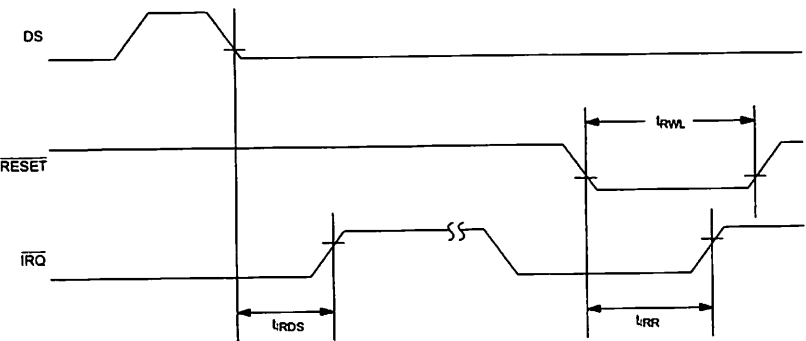
DS12887 BUS TIMING FOR INTEL INTERFACE WRITE CYCLE



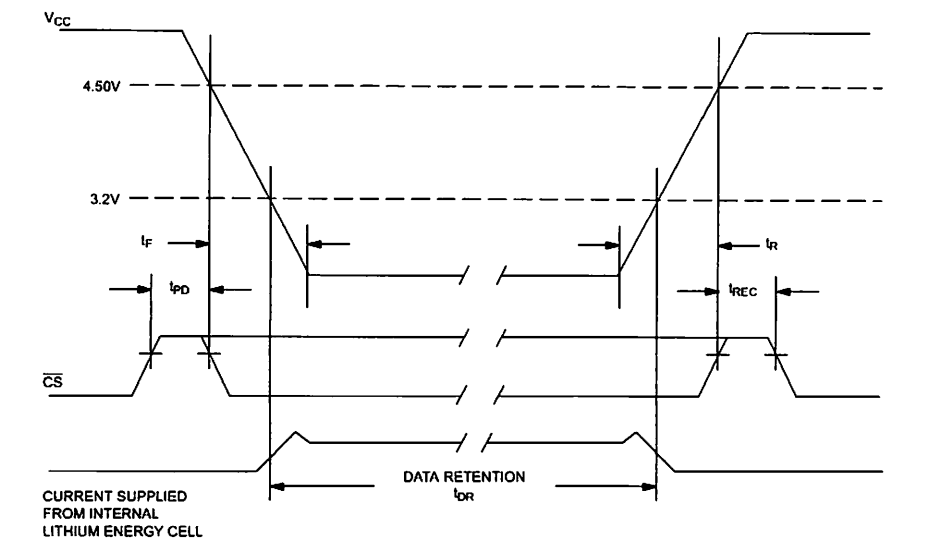
DS12887 BUS TIMING FOR INTEL INTERFACE READ CYCLE



DS12887 IRQ RELEASE DELAY TIMING



POWER DOWN/POWER UP TIMING



POWER DOWN/POWER UP TIMING

| PARAMETER   | SYMBOL    | MIN | TYP | MAX | UNITS   | NOTES |
|---|-----------|-----|-----|-----|---------|-------|
| $\overline{CS}$ at $V_{IH}$ before Power-Down                 | $t_{PD}$  | 0   |     |     | $\mu s$ |       |
| $V_{CC}$ slew from 4.5V to 0V ( $\overline{CS}$ at $V_{IH}$ ) | $t_F$     | 300 |     |     | $\mu s$ |       |
| $V_{CC}$ slew from 0V to 4.5V ( $\overline{CS}$ at $V_{IH}$ ) | $t_R$     | 100 |     |     | $\mu s$ |       |
| $\overline{CS}$ at $V_{IH}$ after Power-Up                    | $t_{REC}$ | 20  |     | 200 | ms      |       |

( $t_A = 25^{\circ}C$ )

| PARAMETER               | SYMBOL   | MIN | TYP | MAX | UNITS | NOTES |
|-------------------------|----------|-----|-----|-----|-------|-------|
| Expected Data Retention | $t_{DR}$ | 10  |     |     | years |       |

**NOTE:**  
The real time clock will keep time to an accuracy of  $\pm 1$  minute per month during data retention time for the period of  $t_{DR}$ .

**WARNING:**  
Under no circumstances are negative undershoots, of any amplitude, allowed when device is in battery backup mode.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source ( $V_{Ref}$ ) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and  $V_{Ref}$  biasing the input at  $\frac{1}{2}V_{DD}$ . Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor  $R_5$ .

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

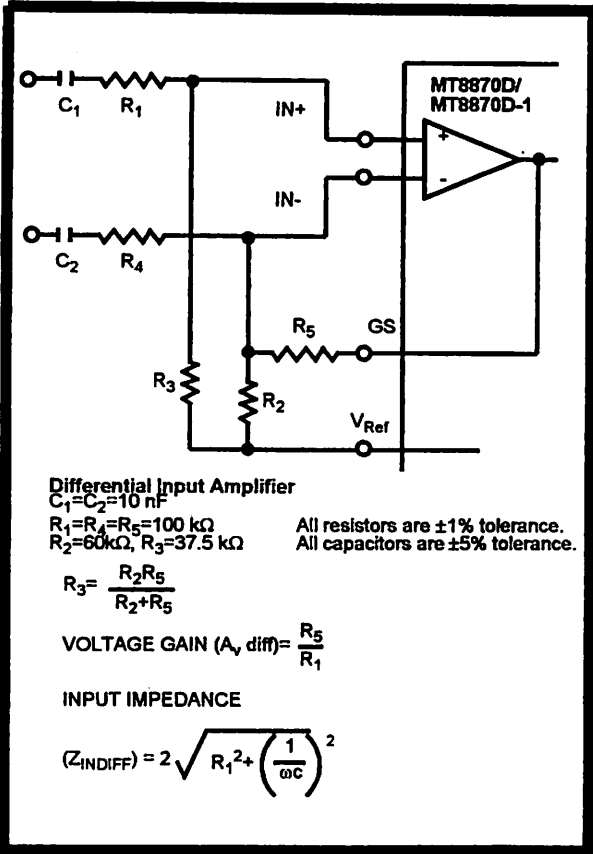


Figure 6 - Differential Input Configuration

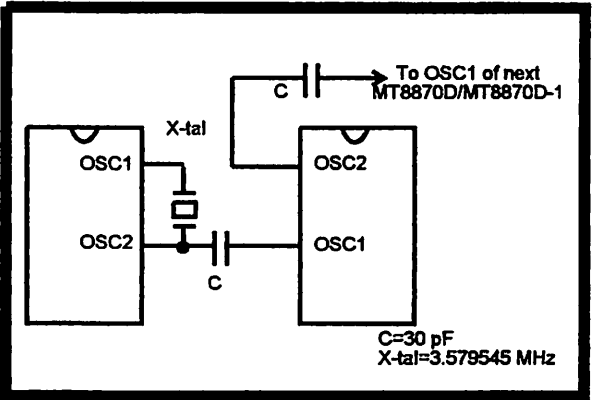


Figure 7 - Oscillator Connection

| Parameter  | Unit | Resonator   |
|------------|------|-------------|
| R1         | Ohms | 10.752      |
| L1         | mH   | .432        |
| C1         | pF   | 4.984       |
| C0         | pF   | 37.915      |
| Qm         | -    | 896.37      |
| $\Delta f$ | %    | $\pm 0.2\%$ |

Table 2. Recommended Resonator Specifications  
Note: Qm=quality factor of RLC model, i.e.,  $1/2\pi/R1C1$ .

## Applications

### RECEIVER SYSTEM FOR BRITISH TELECOM PORT 1151

Circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT defines the input signals less than -34 dBm as a non-operate level. This condition can be attained by using a suitable values of  $R_1$  and  $R_2$  to provide 3 dB attenuation, such that -34 dBm input will correspond to -37 dBm at the gain setting of MT8870D-1. As shown in the diagram, the values of  $R_3$  and  $C_2$  are the guard time constants when the total component tolerance is for better performance, it is recommended to use non-symmetric guard time circuit in Fig. 8.

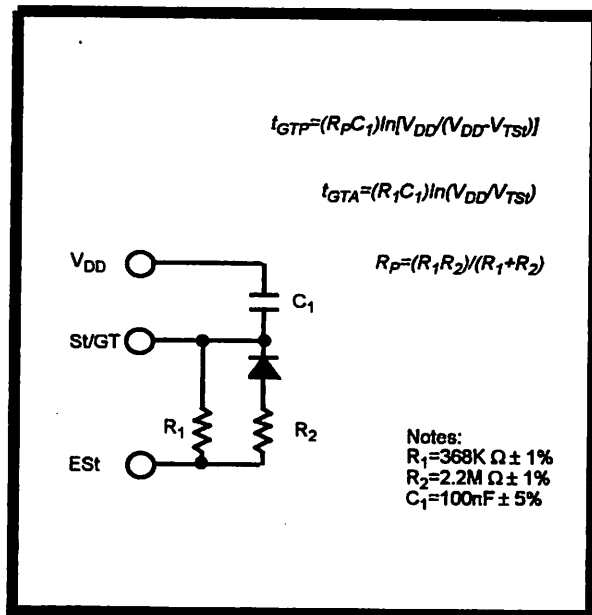


Figure 8 - Non-Symmetric Guard Time Circuit

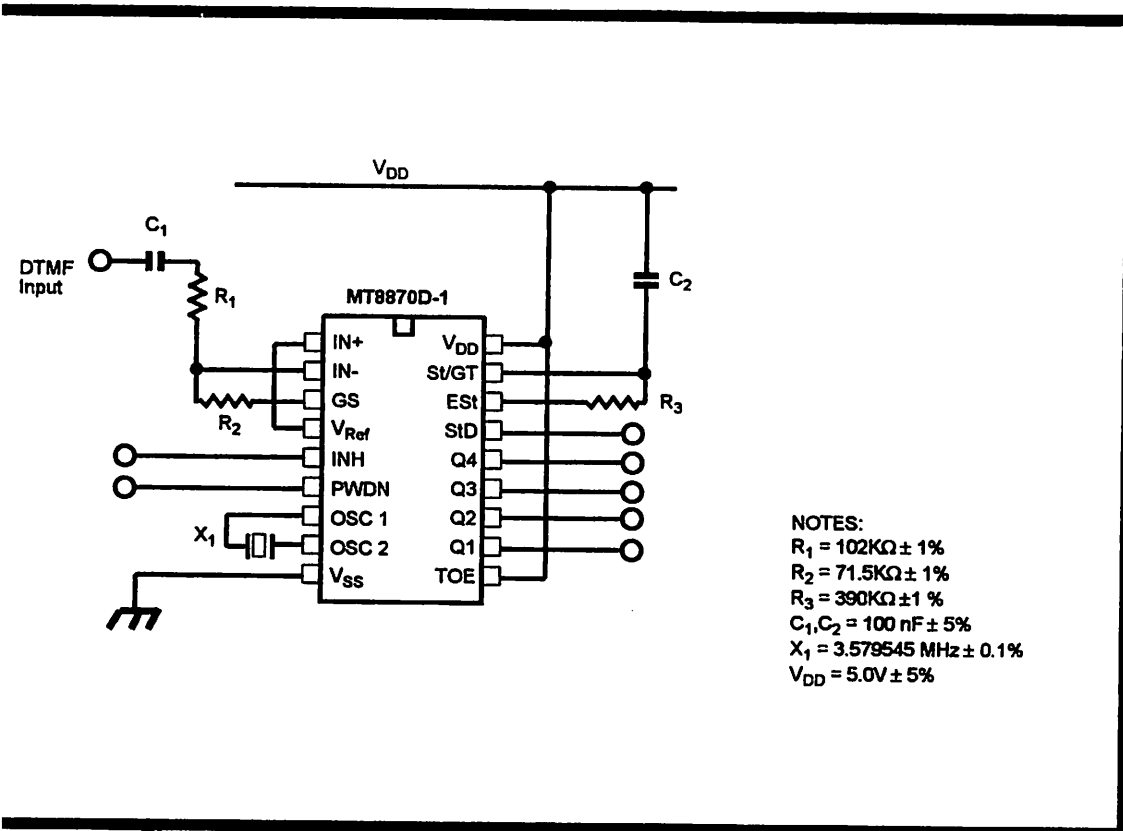


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings<sup>†</sup>

|   | Parameter                              | Symbol           | Min                  | Max                  | Units |
|---|--|------------------|----------------------|----------------------|-------|
| 1 | DC Power Supply Voltage                | V <sub>DD</sub>  |                      | 7                    | V     |
| 2 | Voltage on any pin                     | V <sub>I</sub>   | V <sub>SS</sub> -0.3 | V <sub>DD</sub> +0.3 | V     |
| 3 | Current at any pin (other than supply) | I <sub>I</sub>   |                      | 10                   | mA    |
| 4 | Storage temperature                    | T <sub>STG</sub> | -65                  | +150                 | °C    |
| 5 | Package power dissipation              | P <sub>D</sub>   |                      | 500                  | mW    |

<sup>†</sup> Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.  
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V<sub>SS</sub>) unless otherwise stated.

|   | Parameter                    | Sym             | Min  | Typ <sup>‡</sup> | Max  | Units | Test Conditions |
|---|------------------------------|-----------------|------|------------------|------|-------|-----------------|
| 1 | DC Power Supply Voltage      | V <sub>DD</sub> | 4.75 | 5.0              | 5.25 | V     |                 |
| 2 | Operating Temperature        | T <sub>O</sub>  | -40  |                  | +85  | °C    |                 |
| 3 | Crystal/Clock Frequency      | f <sub>c</sub>  |      | 3.579545         |      | MHz   |                 |
| 4 | Crystal/Clock Freq.Tolerance | Δf <sub>c</sub> |      | ±0.1             |      | %     |                 |

<sup>‡</sup> Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V<sub>DD</sub>=5.0V± 5%, V<sub>SS</sub>=0V, -40°C ≤ T<sub>O</sub> ≤ +85°C, unless otherwise stated.

|    |         | Characteristics                    | Sym                              | Min                   | Typ <sup>‡</sup> | Max                   | Units | Test Conditions                                     |
|----|---------|------------------------------------|----------------------------------|-----------------------|------------------|-----------------------|-------|---|
| 1  | SUPPLY  | Standby supply current             | I <sub>DDQ</sub>                 |                       | 10               | 25                    | μA    | PWDN=V <sub>DD</sub>                                |
| 2  |         | Operating supply current           | I <sub>DD</sub>                  |                       | 3.0              | 9.0                   | mA    |   |
| 3  |         | Power consumption                  | P <sub>O</sub>                   |                       | 15               |                       | mW    | f <sub>c</sub> =3.579545 MHz                        |
| 4  | INPUTS  | High level input                   | V <sub>IH</sub>                  | 3.5                   |                  |                       | V     | V <sub>DD</sub> =5.0V                               |
| 5  |         | Low level input voltage            | V <sub>IL</sub>                  |                       |                  | 1.5                   | V     | V <sub>DD</sub> =5.0V                               |
| 6  |         | Input leakage current              | I <sub>IH</sub> /I <sub>IL</sub> |                       | 0.1              |                       | μA    | V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> |
| 7  |         | Pull up (source) current           | I <sub>SO</sub>                  |                       | 7.5              | 20                    | μA    | TOE (pin 10)=0, V <sub>DD</sub> =5.0V               |
| 8  |         | Pull down (sink) current           | I <sub>SI</sub>                  |                       | 15               | 45                    | μA    | INH=5.0V, PWDN=5.0V, V <sub>DD</sub> =5.0V          |
| 9  |         | Input impedance (IN+, IN-)         | R <sub>IN</sub>                  |                       | 10               |                       | MΩ    | @ 1 kHz   |
| 10 |         | Steering threshold voltage         | V <sub>TSt</sub>                 | 2.2                   | 2.4              | 2.5                   | V     | V <sub>DD</sub> = 5.0V                              |
| 11 | OUTPUTS | Low level output voltage           | V <sub>OL</sub>                  |                       |                  | V <sub>SS</sub> +0.03 | V     | No load   |
| 12 |         | High level output voltage          | V <sub>OH</sub>                  | V <sub>DD</sub> -0.03 |                  |                       | V     | No load   |
| 13 |         | Output low (sink) current          | I <sub>OL</sub>                  | 1.0                   | 2.5              |                       | mA    | V <sub>OUT</sub> =0.4 V                             |
| 14 |         | Output high (source) current       | I <sub>OH</sub>                  | 0.4                   | 0.8              |                       | mA    | V <sub>OUT</sub> =4.6 V                             |
| 15 |         | V <sub>Ref</sub> output voltage    | V <sub>Ref</sub>                 | 2.3                   | 2.5              | 2.7                   | V     | No load, V <sub>DD</sub> = 5.0V                     |
| 16 |         | V <sub>Ref</sub> output resistance | R <sub>OR</sub>                  |                       | 1                |                       | kΩ    |   |

<sup>‡</sup> Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

# 870D/MT8870D-1 ISO<sup>2</sup>-CMOS

**Typical Characteristics** -  $V_{DD}=5.0V\pm5\%$ ,  $V_{SS}=0V$ ,  $-40^{\circ}C \leq T_O \leq +85^{\circ}C$ , unless otherwise stated.  
**Listening Amplifier**

| Characteristics              | Sym       | Min  | Typ <sup>†</sup> | Max | Units      | Test Conditions  |
|------------------------------|-----------|------|------------------|-----|------------|--|
| Input leakage current        | $I_{IN}$  |      |                  | 100 | nA         | $V_{SS} \leq V_{IN} \leq V_{DD}$                           |
| Input resistance             | $R_{IN}$  | 10   |                  |     | M $\Omega$ |  |
| Input offset voltage         | $V_{OS}$  |      |                  | 25  | mV         |  |
| Power supply rejection       | PSRR      | 50   |                  |     | dB         | 1 kHz  |
| Common mode rejection        | CMRR      | 40   |                  |     | dB         | $0.75 V \leq V_{IN} \leq 4.25 V$ biased at $V_{Ref}=2.5 V$ |
| DC open loop voltage gain    | $A_{VOL}$ | 32   |                  |     | dB         |  |
| Unity gain bandwidth         | $f_C$     | 0.30 |                  |     | MHz        |  |
| Output voltage swing         | $V_O$     | 4.0  |                  |     | $V_{pp}$   | Load $\geq 100 k\Omega$ to $V_{SS}$ @ GS                   |
| Maximum capacitive load (GS) | $C_L$     |      |                  | 100 | pF         |  |
| Resistive load (GS)          | $R_L$     |      |                  | 50  | k $\Omega$ |  |
| Common mode range            | $V_{CM}$  | 2.5  |                  |     | $V_{pp}$   | No Load  |

**DC AC Electrical Characteristics** -  $V_{DD}=5.0V \pm 5\%$ ,  $V_{SS}=0V$ ,  $-40^{\circ}C \leq T_O \leq +85^{\circ}C$ , using Test Circuit shown in Figure 10.

| Characteristics                                | Sym | Min                          | Typ <sup>†</sup> | Max | Units             | Notes*         |
|--|-----|------------------------------|------------------|-----|-------------------|----------------|
| Input signal levels (each of composite signal) |     | -29                          |                  | +1  | dBm               | 1,2,3,5,6,9    |
|  |     | 27.5                         |                  | 869 | mV <sub>RMS</sub> | 1,2,3,5,6,9    |
| Relative twist accept                          |     |                              |                  | 8   | dB                | 2,3,6,9,12     |
| Relative twist reject                          |     |                              |                  | 8   | dB                | 2,3,6,9,12     |
| Frequency deviation accept                     |     | $\pm 1.5\% \pm 2 \text{ Hz}$ |                  |     |                   | 2,3,5,9        |
| Frequency deviation reject                     |     | $\pm 3.5\%$                  |                  |     |                   | 2,3,5,9        |
| Modulation tone tolerance                      |     |                              | -16              |     | dB                | 2,3,4,5,9,10   |
| Base tone tolerance                            |     |                              | -12              |     | dB                | 2,3,4,5,7,9,10 |
| Carrier tone tolerance                         |     |                              | +22              |     | dB                | 2,3,4,5,8,9,11 |

\* Figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

1. Levels are in dBm unless otherwise specified.  
2. Levels are above or below a reference power of 1 mW into a 600 ohm load.  
3. The test sequence consists of all DTMF tones.  
4. Tone duration = 40 ms, tone pause = 40 ms.  
5. The test condition consists of nominal DTMF frequencies.  
6. The levels in composite signal have an equal amplitude.  
7. The carrier is deviated by  $\pm 1.5\% \pm 2 \text{ Hz}$ .  
8. The test is limited (3 kHz) Gaussian noise.  
9. The test is limited to dial tone frequencies are (350 Hz and 440 Hz)  $\pm 2\%$ .  
10. The error rate is of better than 1 in 10,000.  
11. The test is limited to lowest level frequency component in DTMF signal.  
12. The test is limited to the minimum valid accept level.  
13. The test is limited by design and characterization.

MT8870D-1 AC Electrical Characteristics -  $V_{DD}=5.0V\pm5\%$ ,  $V_{SS}=0V$ ,  $-40^{\circ}C \leq T_O \leq +85^{\circ}C$ , using Test Circuit shown in Figure 10.

|   | Characteristics   | Sym | Min                  | Typ <sup>‡</sup> | Max | Units             | Notes*                                 |
|---|---|-----|----------------------|------------------|-----|-------------------|--|
| 1 | Valid input signal levels (each tone of composite signal) |     | -31                  |                  | +1  | dBm               | Tested at $V_{DD}=5.0V$<br>1,2,3,5,6,9 |
|   |   |     | 21.8                 |                  | 869 | mV <sub>RMS</sub> |  |
| 2 | Input Signal Level Reject                                 |     | -37                  |                  |     | dBm               | Tested at $V_{DD}=5.0V$<br>1,2,3,5,6,9 |
|   |   |     | 10.9                 |                  |     | mV <sub>RMS</sub> |  |
| 3 | Negative twist accept                                     |     |                      |                  | 8   | dB                | 2,3,6,9,13                             |
| 4 | Positive twist accept                                     |     |                      |                  | 8   | dB                | 2,3,6,9,13                             |
| 5 | Frequency deviation accept                                |     | $\pm 1.5\% \pm 2$ Hz |                  |     |                   | 2,3,5,9                                |
| 6 | Frequency deviation reject                                |     | $\pm 3.5\%$          |                  |     |                   | 2,3,5,9                                |
| 7 | Third zone tolerance                                      |     |                      | -18.5            |     | dB                | 2,3,4,5,9,12                           |
| 8 | Noise tolerance   |     |                      | -12              |     | dB                | 2,3,4,5,7,9,10                         |
| 9 | Dial tone tolerance                                       |     |                      | +22              |     | dB                | 2,3,4,5,8,9,11                         |

Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

\*NOTES

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by  $\pm 1.5 \% \pm 2$  Hz.
7. Bandwidth limited (3 kHz ) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz)  $\pm 2$  %.
9. For an error rate of better than 1 in 10,000.
0. Referenced to lowest level frequency component in DTMF signal.
1. Referenced to the minimum valid accept level.
2. Referenced to Fig. 10 Input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
3. Guaranteed by design and characterization.



# 870D/MT8870D-1 ISO<sup>2</sup>-CMOS

Electrical Characteristics -  $V_{DD}=5.0V\pm5\%$ ,  $V_{SS}=0V$ ,  $-40^{\circ}C \leq T_o \leq +85^{\circ}C$ , using Test Circuit shown in Figure 10.

| Characteristics                      | Sym                  | Min    | Typ <sup>‡</sup> | Max    | Units   | Conditions                    |
|--------------------------------------|----------------------|--------|------------------|--------|---------|-------------------------------|
| Tone present detect time             | $t_{DP}$             | 5      | 11               | 14     | ms      | Note 1                        |
| Tone absent detect time              | $t_{DA}$             | 0.5    | 4                | 8.5    | ms      | Note 1                        |
| Tone duration accept                 | $t_{REC}$            |        |                  | 40     | ms      | Note 2                        |
| Tone duration reject                 | $t_{\overline{REC}}$ | 20     |                  |        | ms      | Note 2                        |
| Interdigit pause accept              | $t_{ID}$             |        |                  | 40     | ms      | Note 2                        |
| Interdigit pause reject              | $t_{DO}$             | 20     |                  |        | ms      | Note 2                        |
| Propagation delay (St to Q)          | $t_{PQ}$             |        | 8                | 11     | $\mu s$ | $TOE=V_{DD}$                  |
| Propagation delay (St to StD)        | $t_{PSID}$           |        | 12               | 16     | $\mu s$ | $TOE=V_{DD}$                  |
| Output data set up (Q to StD)        | $t_{QSID}$           |        | 3.4              |        | $\mu s$ | $TOE=V_{DD}$                  |
| Propagation delay (TOE to Q ENABLE)  | $t_{PTE}$            |        | 50               |        | ns      | load of 10 k $\Omega$ , 50 pF |
| Propagation delay (TOE to Q DISABLE) | $t_{PTD}$            |        | 300              |        | ns      | load of 10 k $\Omega$ , 50 pF |
| Power-up time                        | $t_{PU}$             |        | 30               |        | ms      | Note 3                        |
| Power-down time                      | $t_{PD}$             |        | 20               |        | ms      |                               |
| Crystal/clock frequency              | $f_C$                | 3.5759 | 3.5795           | 3.5831 | MHz     |                               |
| Clock input rise time                | $t_{LHCL}$           |        |                  | 110    | ns      | Ext. clock                    |
| Clock input fall time                | $t_{HLCL}$           |        |                  | 110    | ns      | Ext. clock                    |
| Clock input duty cycle               | $DC_{CL}$            | 40     | 50               | 60     | %       | Ext. clock                    |
| Capacitive load (OSC2)               | $C_{LO}$             |        |                  | 30     | pF      |                               |

Figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

<sup>‡</sup>Used for guard-time calculation purposes only.

These user adjustable parameters are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.

When valid tone present at input,  $t_{PU}$  equals time from PDWN going low until EST going high.

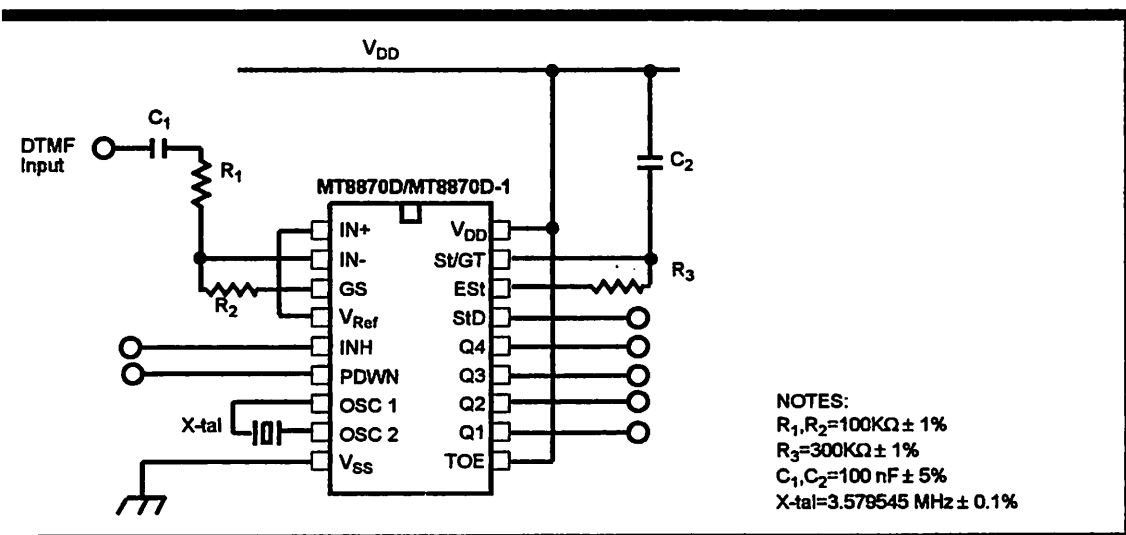
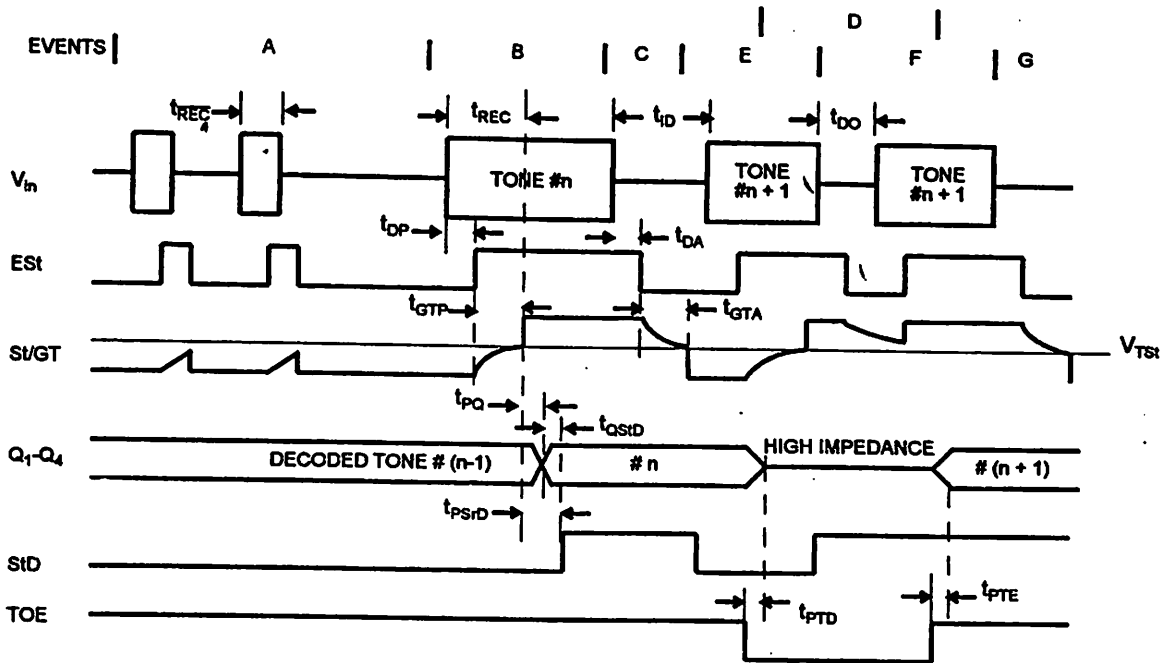


Figure 10 - Single-Ended Input Configuration

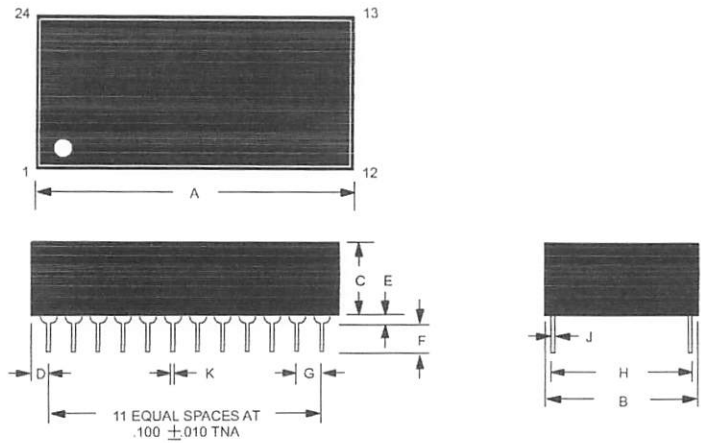


- EXPLANATION OF EVENTS**
- A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
  - B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS
  - C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.
  - D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
  - E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).
  - F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.
  - G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

- EXPLANATION OF SYMBOLS**
- $V_{in}$  DTMF COMPOSITE INPUT SIGNAL.
  - $EST$  EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
  - $ST/GT$  STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
  - $Q_1-Q_4$  4-BIT DECODED TONE OUTPUT.
  - $StD$  DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
  - $TOE$  TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS  $Q_1-Q_4$  TO ITS HIGH IMPEDANCE STATE.
  - $t_{REC}$  MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
  - $t_{REC}$  MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
  - $t_{ID}$  MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
  - $t_{DO}$  MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
  - $t_{DP}$  TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
  - $t_{DA}$  TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
  - $t_{GTP}$  GUARD TIME, TONE PRESENT.
  - $t_{GTA}$  GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

DS12887 REAL TIME CLOCK PLUS RAM

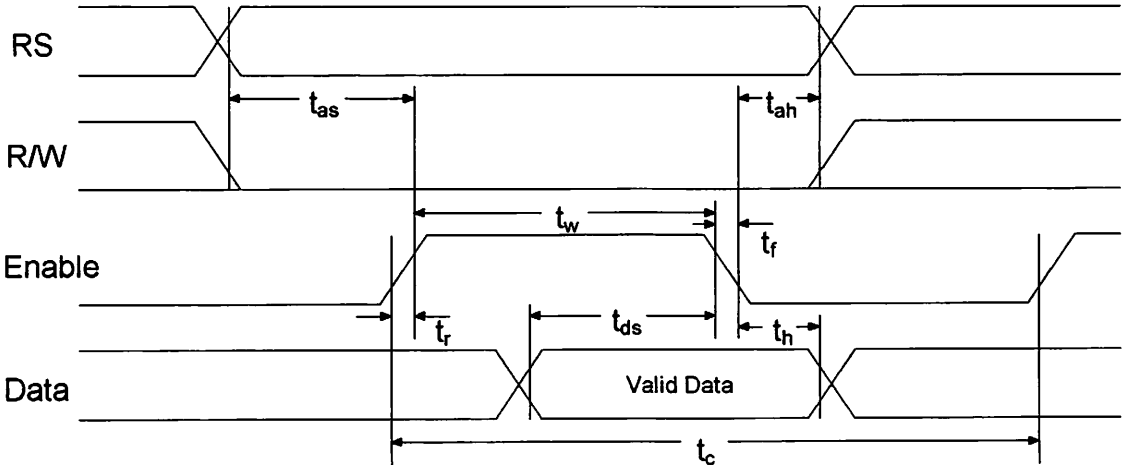


| PKG         | 24-PIN         |                |
|-------------|----------------|----------------|
|             | DIM            | MIN            |
| A IN.<br>MM | 1.320<br>33.53 | 1.335<br>33.91 |
|             | 0.675<br>17.15 | 0.700<br>17.78 |
| B IN.<br>MM | 0.345<br>8.76  | 0.370<br>9.40  |
|             | 0.100<br>2.54  | 0.130<br>3.30  |
| E IN.<br>MM | 0.015<br>0.38  | 0.030<br>0.76  |
|             | 0.110<br>2.79  | 0.140<br>3.56  |
| G IN.<br>MM | 0.090<br>2.29  | 0.110<br>2.79  |
|             | 0.590<br>14.99 | 0.630<br>16.00 |
| H IN.<br>MM | 0.008<br>0.20  | 0.012<br>0.30  |
|             | 0.015<br>0.38  | 0.021<br>0.53  |

NOTE: PINS 2, 3, 16, 20, 21 AND 22 ARE MISSING BY DESIGN.

| Instruction          | RS | RW | D7         | D6                       | D5                      | D4 | D3  | D2  | D1  | D0 | Description  | Clocks |
|----------------------|----|----|------------|--------------------------|-------------------------|----|-----|-----|-----|----|--|--------|
|                      | 0  | 0  | 0          | 0                        | 0                       | 0  | 0   | 0   | 0   | 0  | No Operation   | 0      |
| Display              | 0  | 0  | 0          | 0                        | 0                       | 0  | 0   | 0   | 0   | 1  | Clears display & sets address counter to zero.   | 165    |
| Home                 | 0  | 0  | 0          | 0                        | 0                       | 0  | 0   | 0   | 1   | 0  | Sets address counter to zero, returns shifted display to original position.<br>DDRAM contents remains unchanged. | 3      |
| Mode Set             | 0  | 0  | 0          | 0                        | 0                       | 0  | 0   | 1   | I/D | S  | Sets cursor move direction, and specifies automatic shift.   | 3      |
| Display Control      | 0  | 0  | 0          | 0                        | 0                       | 0  | 1   | D   | C   | B  | Turns display (D), cursor on/off (C) or cursor blinking(B).  | 3      |
| Cursor/display shift | 0  | 0  | 0          | 0                        | 0                       | 1  | S/C | R/L | 0   | 0  | Moves cursor and shift display. DDRAM contents remains unchanged.  | 3      |
| Interface Set        | 0  | 0  | 0          | 0                        | 1                       | DL | N   | M   | G   | 0  | Sets interface data width(DL), number of display lines (N,M) and voltage generator control (G).                  | 3      |
| CGRAM Addr           | 0  | 0  | 0          | 1                        | Character Generator RAM |    |     |     |     |    | Sets CGRAM Address   | 3      |
| DDRAM Addr           | 0  | 0  | 1          | Display Data RAM Address |                         |    |     |     |     |    | Sets DDRAM Address   | 3      |
| Flag & Addr          | 0  | 1  | BF         | Address Counter          |                         |    |     |     |     |    | Reads Busy Flag & Address Counter  | 0      |
| Read Data            | 1  | 0  | Read Data  |                          |                         |    |     |     |     |    | Reads data from CGRAM or DDRAM   | 3      |
| Write Data           | 1  | 1  | Write Data |                          |                         |    |     |     |     |    | Writes data from CGRAM or DDRAM  | 3      |

Write Cycle



| Parameter          | Symbol                          | Min <sup>(1)</sup> | Typ <sup>(1)</sup> | Max <sup>(1)</sup> | Unit |
|--------------------|---------------------------------|--------------------|--------------------|--------------------|------|
| Cycle Time         | t <sub>c</sub>                  | 500                | -                  | -                  | ns   |
| Pulse Width        | t <sub>w</sub>                  | 230                | -                  | -                  | ns   |
| Rise/Fall Time     | t <sub>r</sub> , t <sub>f</sub> | -                  | -                  | 20                 | ns   |
| Address Setup Time | t <sub>as</sub>                 | 40                 | -                  | -                  | ns   |
| Address Hold Time  | t <sub>ah</sub>                 | 10                 | -                  | -                  | ns   |
| Data Setup Time    | t <sub>ds</sub>                 | 80                 | -                  | -                  | ns   |
| Data Hold Time     | t <sub>h</sub>                  | 10                 | -                  | -                  | ns   |

The above specifications are a indication only. Timing will vary from manufacturer to manufacturer.

A 2 line by 16 Character LCD Module is Pictured. Data will work on most 1 line x 20 character, 1 line x 20 character, 2 line x 16 character, 2 line x 20 character, 4 lines x 20 character, 2 lines x 40 character etc. modules compatible with the HD44780 LCD module.

(2)  

| Pin No | Name | I/O    | Description      |
|--------|------|--------|------------------|
| 1      | Vss  | Power  | GND              |
| 2      | Vdd  | Power  | +5v              |
| 3      | Vo   | Analog | Contrast Control |
| 4      | RS   | Input  | Register Select  |
| 5      | R/W  | Input  | Read/Write       |
| 6      | E    | Input  | Enable (Strobe)  |
| 7      | D0   | I/O    | Data LSB         |
| 8      | D1   | I/O    | Data             |
| 9      | D2   | I/O    | Data             |
| 10     | D3   | I/O    | Data             |
| 11     | D4   | I/O    | Data             |
| 12     | D5   | I/O    | Data             |
| 13     | D6   | I/O    | Data             |
| 14     | D7   | I/O    | Data MSB         |

atures

- Compatible with MCS-51™ Products
- 4 Kbytes of In-System Reprogrammable Flash Memory
- Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low Power Idle and Power Down Modes

Description

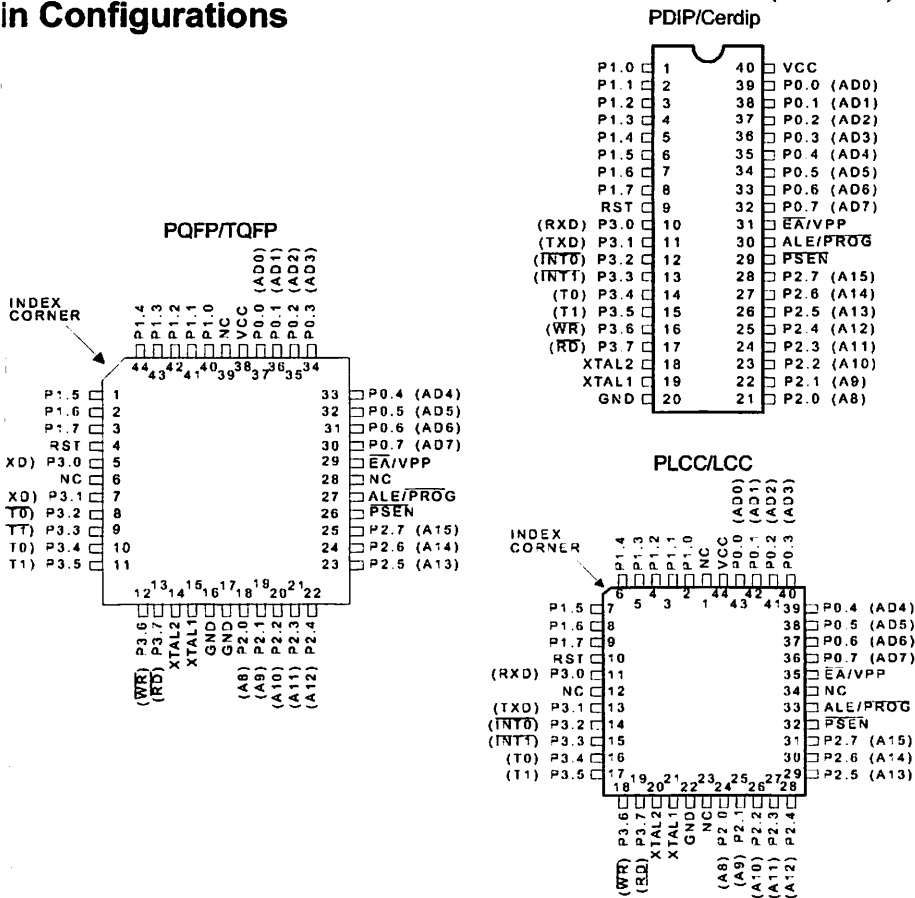
The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4 Kbytes of Flash Programmable and Erasable Read Only Memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

8-Bit  
Microcontroller  
with 4 Kbytes  
Flash

AT89C51

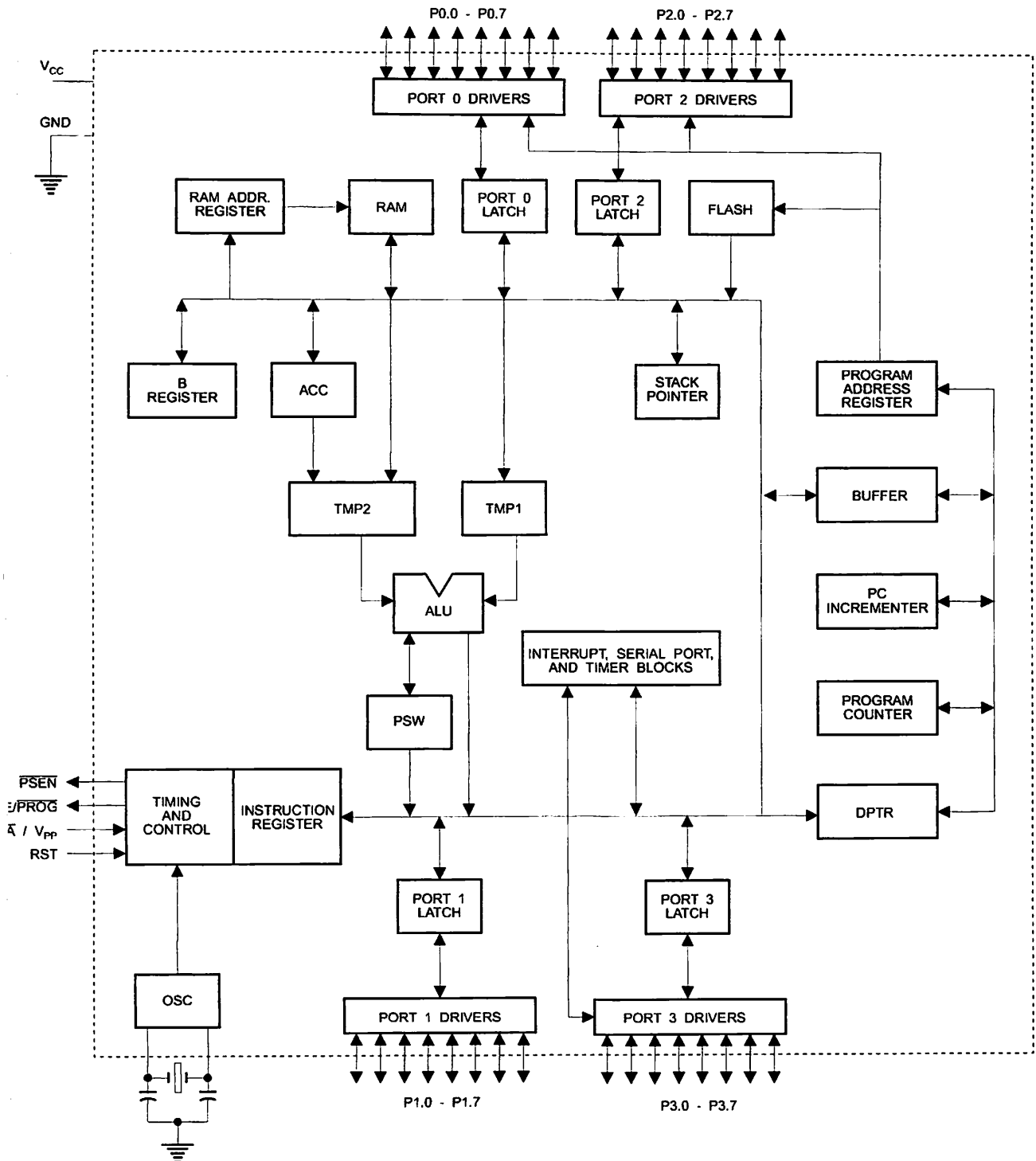
(continued)

Pin Configurations





## Block Diagram



AT89C51

## Description (Continued)

AT89C51 provides the following standard features: 4 Kbytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timers/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static CMOS for operation down to zero frequency and supports software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counter, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

## Pin Description

Supply voltage.

D

Ground.

Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed lower address/data bus during accesses to external program and data memory. In this mode P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and program verification.

Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX

@ DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification. Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current ( $I_{IL}$ ) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

| Port Pin | Alternate Functions                    |
|----------|--|
| P3.0     | RXD (serial input port)                |
| P3.1     | TXD (serial output port)               |
| P3.2     | INT0 (external interrupt 0)            |
| P3.3     | INT1 (external interrupt 1)            |
| P3.4     | T0 (timer 0 external input)            |
| P3.5     | T1 (timer 1 external input)            |
| P3.6     | WR (external data memory write strobe) |
| P3.7     | RD (external data memory read strobe)  |

Port 3 also receives some control signals for Flash programming and programming verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/PROG

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

PSEN

Program Store Enable is the read strobe to external program memory.

(continued)





## 1 Description (Continued)

When the AT89C51 is executing code from external program memory, PSEN is activated twice each machine cycle except that two PSEN activations are skipped during each access to external data memory.

/PP

External Access Enable.  $\overline{EA}$  must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. However, that if lock bit 1 is programmed,  $\overline{EA}$  will be internally latched on reset.

$\overline{VPP}$  should be strapped to VCC for internal program execution.

$\overline{VPP}$  pin also receives the 12-volt programming enable voltage (Vpp) during Flash programming, for parts that require 12-volt Vpp.

AL1

Output to the inverting oscillator amplifier and input to the external clock operating circuit.

AL2

Input from the inverting oscillator amplifier.

## Oscillator Characteristics

AL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

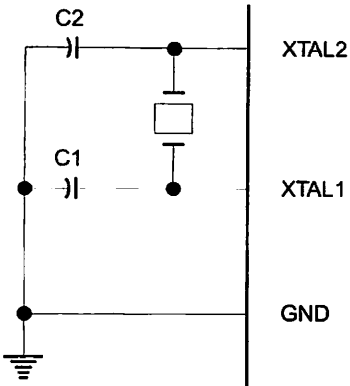
## Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this

mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

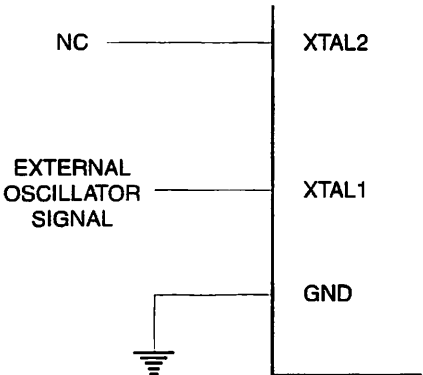
It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hard-

Figure 1. Oscillator Connections



Notes: C1, C2 = 30 pF  $\pm$  10 pF for Crystals  
= 40 pF  $\pm$  10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



## Status of External Pins During Idle and Power Down

| Mode       | Program Memory | ALE | PSEN | PORT0 | PORT1 | PORT2   | PORT3 |
|------------|----------------|-----|------|-------|-------|---------|-------|
| Idle       | Internal       | 1   | 1    | Data  | Data  | Data    | Data  |
| Idle       | External       | 1   | 1    | Float | Data  | Address | Data  |
| Power Down | Internal       | 0   | 0    | Data  | Data  | Data    | Data  |
| Power Down | External       | 0   | 0    | Float | Data  | Data    | Data  |



It inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is initiated by reset, the instruction following the one that makes Idle should not be one that writes to a port pin or external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before Vcc

is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

When lock bit 1 is programmed, the logic level at the EA pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of EA be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

| Program Lock Bits |     |     |     |   |
|-------------------|-----|-----|-----|---|
|                   | LB1 | LB2 | LB3 | Protection Type   |
| 1                 | U   | U   | U   | No program lock features.   |
| 2                 | P   | U   | U   | MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, EA is sampled and latched on reset, and further programming of the Flash is disabled. |
| 3                 | P   | P   | U   | Same as mode 2, also verify is disabled.  |
| 4                 | P   | P   | P   | Same as mode 3, also external execution is disabled.  |

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (5V) program enable signal. The low voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective on-chip marking and device signature codes are listed in the following table.

|              | Vpp = 12 V                             | Vpp = 5 V                              |
|--------------|--|--|
| On-Side Mark | AT89C51<br>xxxx<br>yyww                | AT89C51<br>xxxx-5<br>yyww              |
| Signature    | (030H)=1EH<br>(031H)=51H<br>(032H)=FFH | (030H)=1EH<br>(031H)=51H<br>(032H)=05H |

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.

**Programming Algorithm:** Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figures 3 and 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise EA/Vpp to 12 V for the high-voltage programming mode.
5. Pulse ALE/PROG once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

**Data Polling:** The AT89C51 features Data Polling to indicate the end of a write cycle. During a write cycle, an at-





## Programming the Flash (Continued)

pleted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

**Ready/Busy:** The progress of byte programming can be monitored by the RDY/BSY output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

**Program Verify:** If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

**Chip Erase:** The entire Flash array is erased electrically using the proper combination of control signals and by pulling ALE/PROG low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

**Reading the Signature Bytes:** The signature bytes are read by the same procedure as a normal verification of locations 030H,

031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel

(031H) = 51H indicates 89C51

(032H) = FFH indicates 12 V programming

(032H) = 05H indicates 5 V programming

## Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

## Flash Programming Modes

| Mode                | RST     | PSEN | ALE/<br>PROG   | EA/<br>V <sub>PP</sub> | P2.6 | P2.7 | P3.6 | P3.7 |
|---------------------|---------|------|----------------|------------------------|------|------|------|------|
| Write Code Data     | H       | L    |                | H/12V <sup>(1)</sup>   | L    | H    | H    | H    |
| Read Code Data      | H       | L    | H              | H                      | L    | L    | H    | H    |
| Write Lock          | Bit - 1 | L    |                | H/12V                  | H    | H    | H    | H    |
|                     |         |      | <sup>(2)</sup> | H/12V                  | H    | H    | L    | L    |
|                     |         |      |                | H/12V                  | H    | L    | H    | L    |
| Chip Erase          | H       | L    |                | H/12V                  | H    | L    | L    | L    |
| Read Signature byte | H       | L    | H              | H                      | L    | L    | L    | L    |

es: 1. The signature byte at location 032H designates whether V<sub>PP</sub> = 12 V or V<sub>PP</sub> = 5 V should be used to enable programming.

2. Chip Erase requires a 10 ms  $\overline{\text{PROG}}$  pulse.

# AT89C51

Figure 3. Programming the Flash

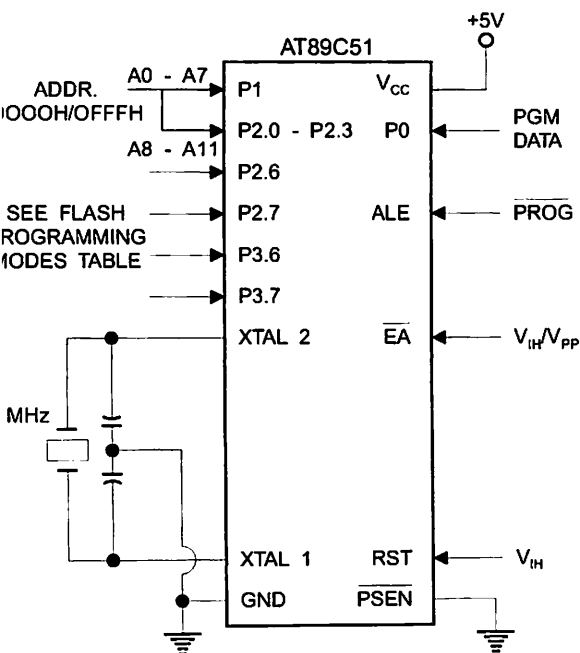
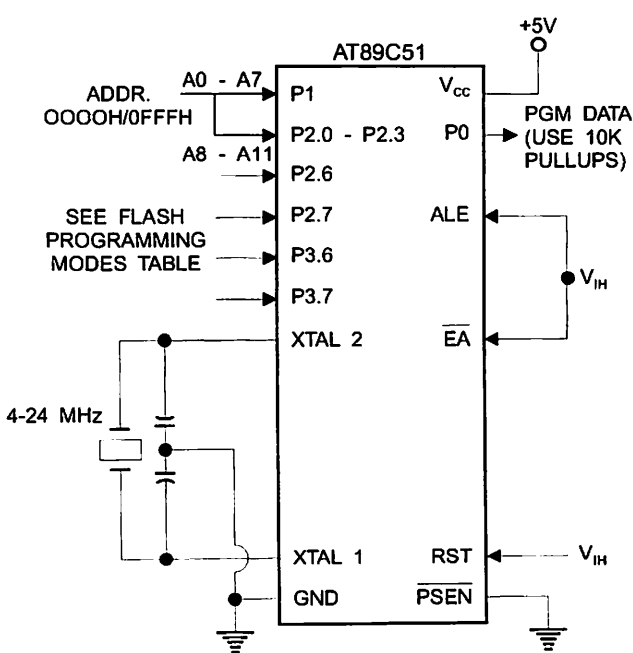


Figure 4. Verifying the Flash



## Flash Programming and Verification Characteristics

21°C to 27°C, V<sub>CC</sub> = 5.0 ± 10%

| Symbol                          | Parameter   | Min                 | Max                 | Units |
|---------------------------------|---|---------------------|---------------------|-------|
| P <sup>(1)</sup>                | Programming Enable Voltage                                    | 11.5                | 12.5                | V     |
| I <sub>P</sub> <sup>(1)</sup>   | Programming Enable Current                                    |                     | 1.0                 | mA    |
| f <sub>CLCL</sub>               | Oscillator Frequency  | 4                   | 24                  | MHz   |
| t <sub>AVGL</sub>               | Address Setup to $\overline{\text{PROG}}$ Low                 | 48t <sub>CLCL</sub> |                     |       |
| t <sub>HAX</sub>                | Address Hold After $\overline{\text{PROG}}$                   | 48t <sub>CLCL</sub> |                     |       |
| t <sub>DVGL</sub>               | Data Setup to $\overline{\text{PROG}}$ Low                    | 48t <sub>CLCL</sub> |                     |       |
| t <sub>HDX</sub>                | Data Hold After $\overline{\text{PROG}}$                      | 48t <sub>CLCL</sub> |                     |       |
| t <sub>ESH</sub>                | P2.7 (ENABLE) High to V <sub>pp</sub>                         | 48t <sub>CLCL</sub> |                     |       |
| t <sub>HGL</sub>                | V <sub>pp</sub> Setup to $\overline{\text{PROG}}$ Low         | 10                  |                     | μs    |
| t <sub>HSL</sub> <sup>(1)</sup> | V <sub>pp</sub> Hold After $\overline{\text{PROG}}$           | 10                  |                     | μs    |
| t <sub>LGH</sub>                | $\overline{\text{PROG}}$ Width                                | 1                   | 110                 | μs    |
| t <sub>VQV</sub>                | Address to Data Valid   |                     | 48t <sub>CLCL</sub> |       |
| t <sub>LQV</sub>                | $\overline{\text{ENABLE}}$ Low to Data Valid                  |                     | 48t <sub>CLCL</sub> |       |
| t <sub>HQV</sub>                | Data Float After $\overline{\text{ENABLE}}$                   | 0                   | 48t <sub>CLCL</sub> |       |
| t <sub>HBL</sub>                | $\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low |                     | 1.0                 | μs    |
| t <sub>WC</sub>                 | Byte Write Cycle Time   |                     | 2.0                 | ms    |

Notes: 1. Only used in 12-volt programming mode.





## Absolute Maximum Ratings\*

|  |                  |
|--|------------------|
| Operating Temperature.....                         | -55°C to +125°C  |
| Storage Temperature.....                           | -65°C to +150°C  |
| Voltage on Any Pin<br>With Respect to Ground ..... | -1.0 V to +7.0 V |
| Maximum Operating Voltage .....                    | 6.6 V            |
| DC Output Current .....                            | 15.0 mA          |

\*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## C. Characteristics

= -40°C to 85°C, V<sub>CC</sub> = 5.0 V ± 20% (unless otherwise noted)

| Symbol           | Parameter  | Condition  | Min                      | Max                      | Units |
|------------------|--|--|--------------------------|--------------------------|-------|
| V <sub>IL</sub>  | Input Low Voltage  | (Except $\overline{EA}$ )                              | -0.5                     | 0.2 V <sub>CC</sub> -0.1 | V     |
| V <sub>IL1</sub> | Input Low Voltage ( $\overline{EA}$ )                    |  | -0.5                     | 0.2 V <sub>CC</sub> -0.3 | V     |
| V <sub>IH</sub>  | Input High Voltage                                       | (Except XTAL1, RST)                                    | 0.2 V <sub>CC</sub> +0.9 | V <sub>CC</sub> +0.5     | V     |
| V <sub>IH1</sub> | Input High Voltage                                       | (XTAL1, RST)   | 0.7 V <sub>CC</sub>      | V <sub>CC</sub> +0.5     | V     |
| V <sub>OL</sub>  | Output Low Voltage <sup>(1)</sup><br>(Ports 1,2,3)       | I <sub>OL</sub> = 1.6 mA                               |                          | 0.45                     | V     |
| V <sub>OL1</sub> | Output Low Voltage <sup>(1)</sup><br>(Port 0, ALE, PSEN) | I <sub>OL</sub> = 3.2 mA                               |                          | 0.45                     | V     |
| V <sub>OH</sub>  | Output High Voltage<br>(Ports 1,2,3, ALE, PSEN)          | I <sub>OH</sub> = -60 µA, V <sub>CC</sub> = 5 V ± 10%  | 2.4                      |                          | V     |
|                  |  | I <sub>OH</sub> = -25 µA                               | 0.75 V <sub>CC</sub>     |                          | V     |
|                  |  | I <sub>OH</sub> = -10 µA                               | 0.9 V <sub>CC</sub>      |                          | V     |
| V <sub>OH1</sub> | Output High Voltage<br>(Port 0 in External Bus Mode)     | I <sub>OH</sub> = -800 µA, V <sub>CC</sub> = 5 V ± 10% | 2.4                      |                          | V     |
|                  |  | I <sub>OH</sub> = -300 µA                              | 0.75 V <sub>CC</sub>     |                          | V     |
|                  |  | I <sub>OH</sub> = -80 µA                               | 0.9 V <sub>CC</sub>      |                          | V     |
| I <sub>L</sub>   | Logical 0 Input Current<br>(Ports 1,2,3)                 | V <sub>IN</sub> = 0.45 V                               |                          | -50                      | µA    |
| I <sub>TL</sub>  | Logical 1 to 0 Transition<br>Current (Ports 1,2,3)       | V <sub>IN</sub> = 2 V                                  |                          | -650                     | µA    |
| I <sub>LI</sub>  | Input Leakage Current<br>(Port 0, $\overline{EA}$ )      | 0.45 < V <sub>IN</sub> < V <sub>CC</sub>               |                          | ±10                      | µA    |
| R <sub>RST</sub> | Reset Pulldown Resistor                                  |  | 50                       | 300                      | KΩ    |
| C <sub>IO</sub>  | Pin Capacitance  | Test Freq. = 1 MHz, T <sub>A</sub> = 25°C              |                          | 10                       | pF    |
| I <sub>CC</sub>  | Power Supply Current                                     | Active Mode, 12 MHz                                    |                          | 20                       | mA    |
|                  |  | Idle Mode, 12 MHz                                      |                          | 5                        | mA    |
|                  | Power Down Mode <sup>(2)</sup>                           | V <sub>CC</sub> = 6 V                                  |                          | 100                      | µA    |
|                  |  | V <sub>CC</sub> = 3 V                                  |                          | 40                       | µA    |

Notes: 1. Under steady state (non-transient) conditions, I<sub>OL</sub> must be externally limited as follows:  
Maximum I<sub>OL</sub> per port pin: 10 mA  
Maximum I<sub>OL</sub> per 8-bit port:  
Port 0: 26 mA  
Ports 1, 2, 3: 15 mA

Maximum total IOL for all output pins: 71 mA  
If IOL exceeds the test condition, VOL may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.  
2. Minimum V<sub>CC</sub> for Power Down is 2 V.



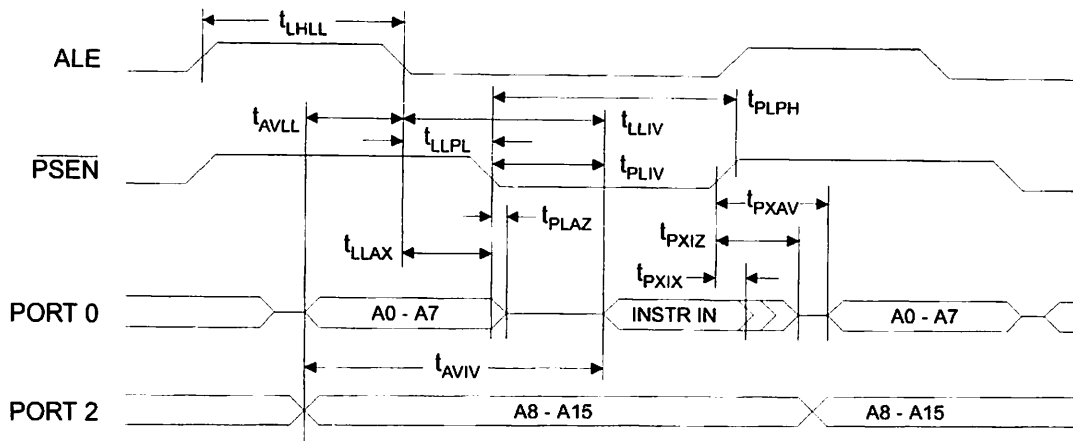
### C. Characteristics

Under Operating Conditions; Load Capacitance for Port 0, ALE/PROG, and PSEN = 100 pF; Load Capacitance for all other outputs = 80 pF)

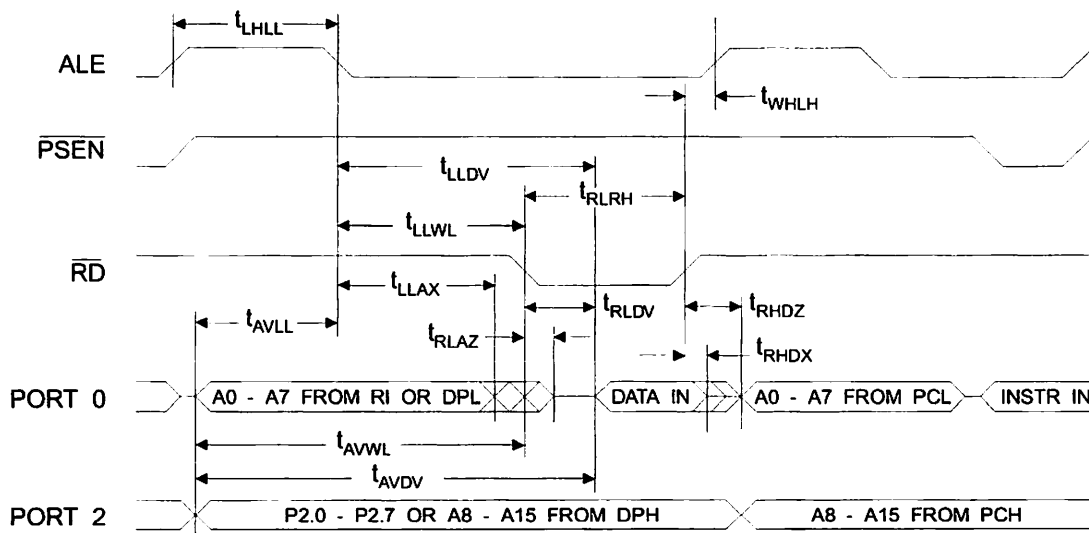
#### Internal Program and Data Memory Characteristics

| Symbol            | Parameter                          | 12 MHz Oscillator |     | 16 to 24 MHz Oscillator |                         | Units |
|-------------------|------------------------------------|-------------------|-----|-------------------------|-------------------------|-------|
|                   |                                    | Min               | Max | Min                     | Max                     |       |
| t <sub>CLCL</sub> | Oscillator Frequency               |                   |     | 0                       | 24                      | MHz   |
| t <sub>HLL</sub>  | ALE Pulse Width                    | 127               |     | 2t <sub>CLCL</sub> -40  |                         | ns    |
| t <sub>VLL</sub>  | Address Valid to ALE Low           | 28                |     | t <sub>CLCL</sub> -13   |                         | ns    |
| t <sub>LAX</sub>  | Address Hold After ALE Low         | 48                |     | t <sub>CLCL</sub> -20   |                         | ns    |
| t <sub>LIV</sub>  | ALE Low to Valid Instruction In    |                   | 233 |                         | 4t <sub>CLCL</sub> -65  | ns    |
| t <sub>LPL</sub>  | ALE Low to PSEN Low                | 43                |     | t <sub>CLCL</sub> -13   |                         | ns    |
| t <sub>PLPH</sub> | PSEN Pulse Width                   | 205               |     | 3t <sub>CLCL</sub> -20  |                         | ns    |
| t <sub>PLIV</sub> | PSEN Low to Valid Instruction In   |                   | 145 |                         | 3t <sub>CLCL</sub> -45  | ns    |
| t <sub>PXIX</sub> | Input Instruction Hold After PSEN  | 0                 |     | 0                       |                         | ns    |
| t <sub>PXIZ</sub> | Input Instruction Float After PSEN |                   | 59  |                         | t <sub>CLCL</sub> -10   | ns    |
| t <sub>PXAV</sub> | PSEN to Address Valid              | 75                |     | t <sub>CLCL</sub> -8    |                         | ns    |
| t <sub>AVIV</sub> | Address to Valid Instruction In    |                   | 312 |                         | 5t <sub>CLCL</sub> -55  | ns    |
| t <sub>PLAZ</sub> | PSEN Low to Address Float          |                   | 10  |                         | 10                      | ns    |
| t <sub>RLRH</sub> | RD Pulse Width                     | 400               |     | 6t <sub>CLCL</sub> -100 |                         | ns    |
| t <sub>WLWH</sub> | WR Pulse Width                     | 400               |     | 6t <sub>CLCL</sub> -100 |                         | ns    |
| t <sub>RLDV</sub> | RD Low to Valid Data In            |                   | 252 |                         | 5t <sub>CLCL</sub> -90  | ns    |
| t <sub>RHDX</sub> | Data Hold After RD                 | 0                 |     | 0                       |                         | ns    |
| t <sub>RHDZ</sub> | Data Float After RD                |                   | 97  |                         | 2t <sub>CLCL</sub> -28  | ns    |
| t <sub>LDV</sub>  | ALE Low to Valid Data In           |                   | 517 |                         | 8t <sub>CLCL</sub> -150 | ns    |
| t <sub>AVDV</sub> | Address to Valid Data In           |                   | 585 |                         | 9t <sub>CLCL</sub> -165 | ns    |
| t <sub>LLWL</sub> | ALE Low to RD or WR Low            | 200               | 300 | 3t <sub>CLCL</sub> -50  | 3t <sub>CLCL</sub> +50  | ns    |
| t <sub>AVWL</sub> | Address to RD or WR Low            | 203               |     | 4t <sub>CLCL</sub> -75  |                         | ns    |
| t <sub>QVWX</sub> | Data Valid to WR Transition        | 23                |     | t <sub>CLCL</sub> -20   |                         | ns    |
| t <sub>QVWH</sub> | Data Valid to WR High              | 433               |     | 7t <sub>CLCL</sub> -120 |                         | ns    |
| t <sub>WHQX</sub> | Data Hold After WR                 | 33                |     | t <sub>CLCL</sub> -20   |                         | ns    |
| t <sub>RLAZ</sub> | RD Low to Address Float            |                   | 0   |                         | 0                       | ns    |
| t <sub>WHLH</sub> | RD or WR High to ALE High          | 43                | 123 | t <sub>CLCL</sub> -20   | t <sub>CLCL</sub> +25   | ns    |

### External Program Memory Read Cycle

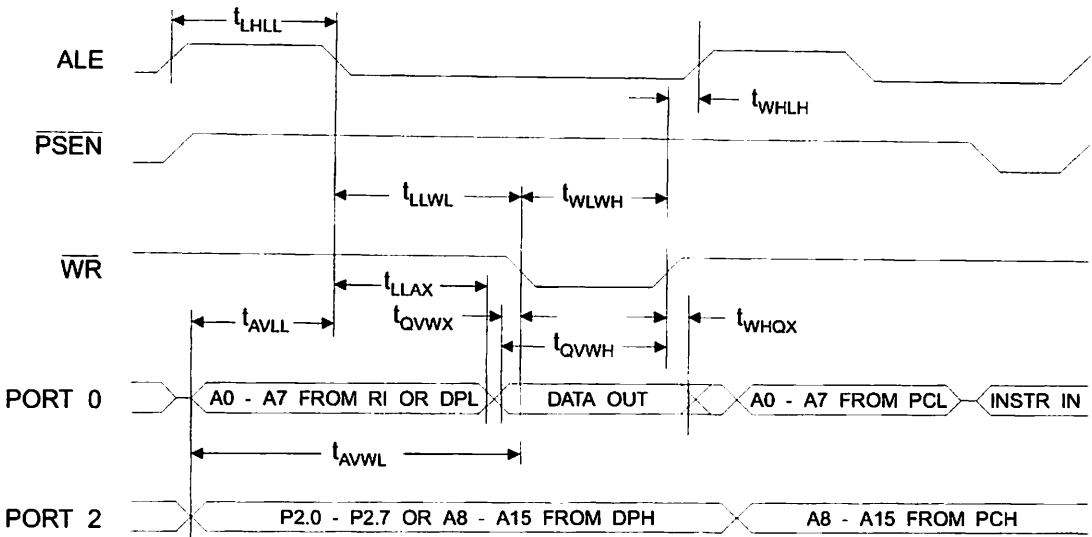


### External Data Memory Read Cycle

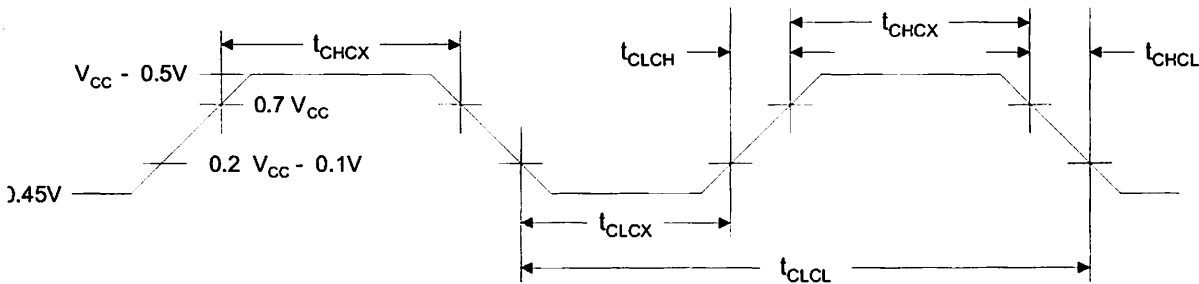




## Internal Data Memory Cycle



## External Clock Drive Waveforms



## External Clock Drive

| Symbol     | Parameter            | Min  | Max | Units |
|------------|----------------------|------|-----|-------|
| $f_{CLCL}$ | Oscillator Frequency | 0    | 24  | MHz   |
| $T_{CLCL}$ | Clock Period         | 41.6 |     | ns    |
| $t_{CHCX}$ | High Time            | 15   |     | ns    |
| $t_{CLCX}$ | Low Time             | 15   |     | ns    |
| $t_{CLCH}$ | Rise Time            |      | 20  | ns    |
| $t_{CHCL}$ | Fall Time            |      | 20  | ns    |

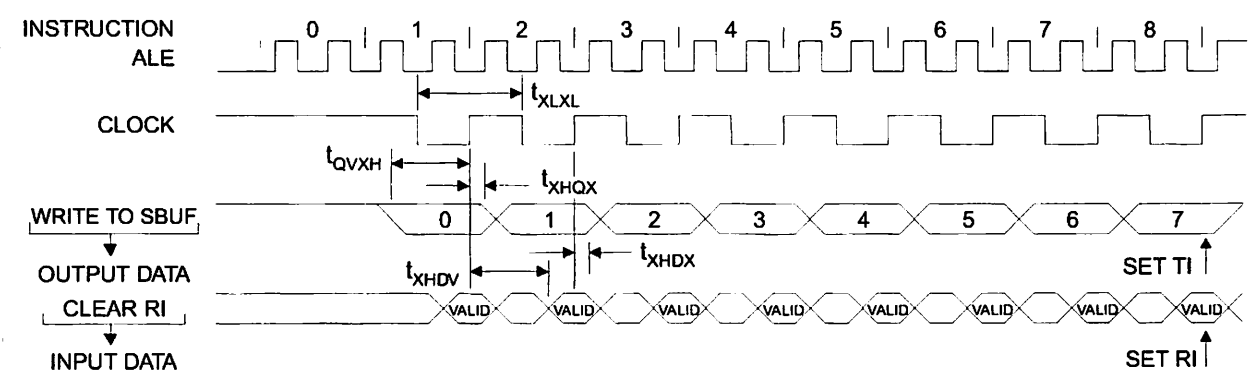


Serial Port Timing: Shift Register Mode Test Conditions

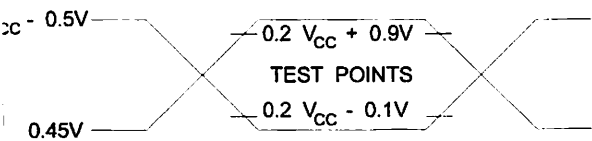
V<sub>CC</sub> = 5.0 V ± 20%; Load Capacitance = 80 pF)

| Symbol            | Parameter                                | 12 MHz Osc |     | Variable Oscillator      |                          | Units |
|-------------------|--|------------|-----|--------------------------|--------------------------|-------|
|                   |  | Min        | Max | Min                      | Max                      |       |
| t <sub>CL</sub>   | Serial Port Clock Cycle Time             | 1.0        |     | 12t <sub>CLCL</sub>      |                          | μs    |
| t <sub>QVXH</sub> | Output Data Setup to Clock Rising Edge   | 700        |     | 10t <sub>CLCL</sub> -133 |                          | ns    |
| t <sub>HQX</sub>  | Output Data Hold After Clock Rising Edge | 50         |     | 2t <sub>CLCL</sub> -33   |                          | ns    |
| t <sub>HDX</sub>  | Input Data Hold After Clock Rising Edge  | 0          |     | 0                        |                          | ns    |
| t <sub>HDV</sub>  | Clock Rising Edge to Input Data Valid    |            | 700 |                          | 10t <sub>CLCL</sub> -133 | ns    |

Shift Register Mode Timing Waveforms

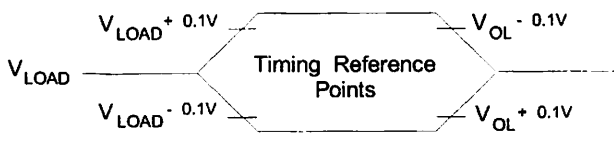


C Testing Input/Output Waveforms<sup>(1)</sup>



Note: 1. AC Inputs during testing are driven at V<sub>CC</sub> - 0.5 V for a logic 1 and 0.45 V for a logic 0. Timing measurements are made at V<sub>IH</sub> min. for a logic 1 and V<sub>IL</sub> max. for a logic 0.

Float Waveforms<sup>(1)</sup>



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V<sub>OH</sub>/V<sub>OL</sub> level occurs.





## Ordering Information

| Speed<br>(MHz) | Power<br>Supply | Ordering Code    | Package | Operation Range   |
|----------------|-----------------|------------------|---------|---|
| 12             | 5 V $\pm$ 20%   | AT89C51-12AC     | 44A     | Commercial<br>(0°C to 70°C)                                   |
|                |                 | AT89C51-12JC     | 44J     |   |
|                |                 | AT89C51-12PC     | 40P6    |   |
|                |                 | AT89C51-12QC     | 44Q     |   |
|                |                 | AT89C51-12AI     | 44A     | Industrial<br>(-40°C to 85°C)                                 |
|                |                 | AT89C51-12JI     | 44J     |   |
|                |                 | AT89C51-12PI     | 40P6    |   |
|                |                 | AT89C51-12QI     | 44Q     |   |
|                |                 | AT89C51-12AA     | 44A     | Automotive<br>(-40°C to 125°C)                                |
|                |                 | AT89C51-12JA     | 44J     |   |
|                |                 | AT89C51-12PA     | 40P6    |   |
|                |                 | AT89C51-12QA     | 44Q     |   |
| 16             | 5 V $\pm$ 10%   | AT89C51-12DM     | 40D6    | Military<br>(-55°C to 125°C)                                  |
|                |                 | AT89C51-12LM     | 44L     |   |
|                |                 | AT89C51-12DM/883 | 40D6    | Military/883C<br>Class B, Fully Compliant<br>(-55°C to 125°C) |
|                |                 | AT89C51-12LM/883 | 44L     |   |
|                |                 |                  |         |   |
| 16             | 5 V $\pm$ 20%   | AT89C51-16AC     | 44A     | Commercial<br>(0°C to 70°C)                                   |
|                |                 | AT89C51-16JC     | 44J     |   |
|                |                 | AT89C51-16PC     | 40P6    |   |
|                |                 | AT89C51-16QC     | 44Q     |   |
|                |                 | AT89C51-16AI     | 44A     | Industrial<br>(-40°C to 85°C)                                 |
|                |                 | AT89C51-16JI     | 44J     |   |
|                |                 | AT89C51-16PI     | 40P6    |   |
|                |                 | AT89C51-16QI     | 44Q     |   |
|                |                 | AT89C51-16AA     | 44A     | Automotive<br>(-40°C to 125°C)                                |
|                |                 | AT89C51-16JA     | 44J     |   |
|                |                 | AT89C51-16PA     | 40P6    |   |
|                |                 | AT89C51-16QA     | 44Q     |   |
| 20             | 5 V $\pm$ 20%   | AT89C51-20AC     | 44A     | Commercial<br>(0°C to 70°C)                                   |
|                |                 | AT89C51-20JC     | 44J     |   |
|                |                 | AT89C51-20PC     | 40P6    |   |
|                |                 | AT89C51-20QC     | 44Q     |   |
|                |                 | AT89C51-20AI     | 44A     | Industrial<br>(-40°C to 85°C)                                 |
|                |                 | AT89C51-20JI     | 44J     |   |
|                |                 | AT89C51-20PI     | 40P6    |   |
|                |                 | AT89C51-20QI     | 44Q     |   |

## AT89C51

AT89C51

Ordering Information

| Speed<br>(MHz) | Power<br>Supply | Ordering Code  | Package                   | Operation Range               |
|----------------|-----------------|--|---------------------------|-------------------------------|
| 24             | 5 V ± 20%       | AT89C51-24AC<br>AT89C51-24JC<br>AT89C51-24PC<br>AT89C51-24QC | 44A<br>44J<br>44P6<br>44Q | Commercial<br>(0°C to 70°C)   |
|                |                 | AT89C51-24AI<br>AT89C51-24JI<br>AT89C51-24PI<br>AT89C51-24QI | 44A<br>44J<br>44P6<br>44Q | Industrial<br>(-40°C to 85°C) |

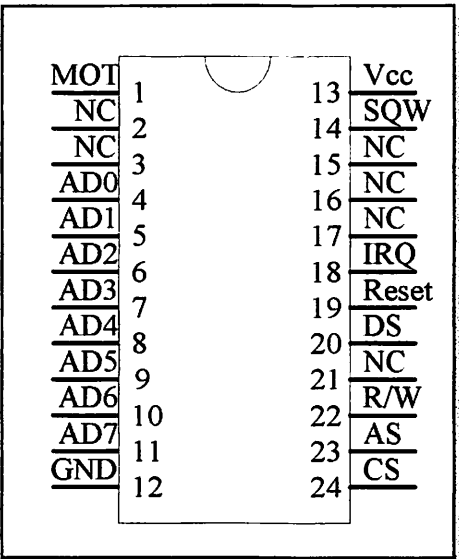
| Package Type |  |
|--------------|--|
| 44A          | 44 Lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)                     |
| 40D6         | 40 Lead, 0.600" Wide, Non-Windowed, Ceramic Dual Inline Package (Cerdip) |
| 44J          | 44 Lead, Plastic J-Leaded Chip Carrier (PLCC)                            |
| 44L          | 44 Pad, Non-Windowed, Ceramic Leadless Chip Carrier (LCC)                |
| 40P6         | 40 Lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)                 |
| 44Q          | 44 Lead, Plastic Gull Wing Quad Flatpack (PQFP)                          |





9) *Interface* dengan *software* dengan lokasi RAM 128 byte dengan 15 *byte clock register* kontrol dan 133 byte RAM untuk tujuan umum.

Secara lengkap struktur dari DS12C887 dapat dilihat pada gambar dibawah ini :



**Gambar 2-8**  
**Konfigurasi Kaki DS12C887**  
Sumber : Data Sheet “Dallas Semikonduktor RTC 12C887

Secara keseluruhan, fungsi pin-pin RTC DS12887 adalah sebagai berikut:

GND dan Vcc: Merupakan pin catu daya. Vcc dihubungkan pada catu daya +5 Volt dan GND pada ground.

1) MOT (*Motel*):

Digunakan sebagai saklar pemilih mode diagram pewaktuan. Apabila dihubungkan pada Vcc berarti sistem diagram pewaktuan Motorola yang dipakai, jika dihubungkan dengan GND berarti sistem diagram pewaktuan Intel yang dipakai.

2) SQW (*Square Wave Output*):

Merupakan pin yang dipilih untuk mengeluarkan satu dari 13 frekuensi keluran yang tersedia. Besar frekuensi keluaran SQW dapat diubah dengan diprogram pada register A. Untuk mengaktifkan atau menonaktifkan sinyal SQW dipilih lewat bit SQWE pada register B.

3) AD0-AD7 (*Multiplexed Strobe Address/Data Bus*):

Merupakan bus alamat/data dua arah yang termultipleks. Pengiriman data maupun alamat dari maupun ke RTC dilakukan melalui bus ini.

4) AS (*Address Strobe Input*):

Merupakan masukan bagi sinyal yang digunakan untuk memisahkan bus data dan bus alamat (ALE). Pada saat sinyal turun yang terjadi pada AS/ALE akan menyebabkan alamat ditahan dalam DS12887. Akan tetapi sinyal naik berikutnya yang terjadi pada AS akan meniadakan alamat tersebut tanpa memperhatikan apakah penyemat CS aktif atau tidak.

5) DS (*Data Strobe*):

Pin DS dapat diartikan sama seperti sinyal *Output Enable* (OE) pada komponen memori. Dihubungkan sinyal RD yang berasal dari mikrokontroler untuk melakukan proses membaca dan pada RAM internal RTC.

6) R/W (*Read/Write Input*):

Pin R/W dapat diartikan sama seperti sinyal *Write Enable* (WE) yang biasa dipakai pada komponen memori jenis RAM. Digunakan untuk proses penulisan data pada RAM internal RTC.

7) CS (*Chip Select Input*):

Merupakan masukan untuk mengaktifkan peripheral RTC. Sinyal CS didapat dari decoder alamat dengan alamat tertentu.

8) IRQ (*Interrupt Request Output*):

Sinyal IRQ merupakan sinyal aktif rendah, yang dapat digunakan untuk menginterupsi mikrokontroler, keluaran IRQ tetap rendah selama status bit yang menyebabkan interupsi ada. Untuk me-*reset* IRQ, mikrokontroler memberikan program pada register C RTC. Saat tidak terdapat interupsi, penyemat ini akan dalam kondisi impedansi tinggi (*high impedance*).

9) RESET (*Reset Interrupt*):

Sinyal Reset diberikan dengan memberikan logika rendah selama waktu fungsi RAM. Namun sinyal Reset dapat mengakibatkan beberapa *flag* di reset menjadi nol.

### 2.5.1 Peta memori

Dari sudut pandang pemrograman, chip DS12C887 terlihat sebagai 128 byte memori data. Memori data tersebut dipakai untuk mencatat waktu, penentu alarm, register pengatur kerja DS12C887 dan *register* pemantau kerja dari DS12C887, yang secara lengkap diperlihatkan dalam tabel dibawah ini :

Tabel 2-4  
Tabel Lokasi Memori DS12C887

| Alamat    | Kegunaan     | Rentang Nilai ( BCD )   |
|-----------|--------------|-------------------------|
| 0         | Detik        | 00...59                 |
| 1         | Alaram       | 00...59                 |
| 2         | Menit        | 00...59                 |
| 3         | Alaram Menit | 00...59                 |
| 4         | Jam          | 00...12 81...92 00...23 |
| 5         | Alarm Jam    | 00...12 81...92 00...23 |
| 6         | Hari         | 01...07                 |
| 7         | Tanggal      | 01...31                 |
| 8         | Bulan        | 01...12                 |
| 9         | Tahun        | 00...99                 |
| 10        | Register A   |                         |
| 11        | Register B   |                         |
| 12        | Register C   |                         |
| 13        | Register D   |                         |
| 14....49  | Memori Bebas |                         |
| 50        | Abad         | 19...20                 |
| 51....128 | Memori bebas |                         |

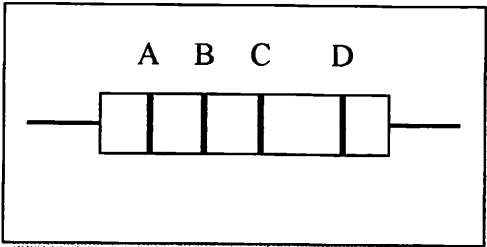
Memori data yang masih tersisa atau memori bebas merupakan memori yang biasa dipakai untuk segala macam keperluan. Memori nomor 10 sampai 13 dipakai sebagai register pengatur kerja DS12C887 dan *register* pemantau kerja dari DS12C887, *register-register* tersebut dinamakan sebagai *register* A, B, C, dan D. (Dallas Semikonduktor : DS12C887 real Time Clock ( <http://www.dalsem.com>))

2.6. Resistor

Resistor merupakan komponen positif yang dibuat untuk mendapatkan suatu hambatan tertentu. Resistor yang paling banyak digunakan terbuat dari karbon yang dilapiskan pada sebatang keramik.resistor semacam ini disebut



resistor film karbon. Resistor karbon menggunakan sandi warna yang dicat pada bahan resistor resistor untuk menyatakan nilai hambatan.



**Gambar 2-9**  
**Ring Sandi Pada Resistor**  
Sumber : Ibit hal 14

**Tabel 2-5**  
**Kode Warna Resistor**

| Warna   | Satuan | Puluhan | Pengali    | Toleransi |
|---------|--------|---------|------------|-----------|
| Hitam   | 0      | -       | 1          | -         |
| Coklat  | 1      | 1       | 10         | -         |
| Merah   | 2      | 2       | 100        | -         |
| Jingga  | 3      | 3       | 1000       | -         |
| Kuning  | 4      | 4       | 10000      | -         |
| Hijau   | 5      | 5       | 100000     | -         |
| Biru    | 6      | 6       | 1000000    | -         |
| Ungu    | 7      | 7       | 10000000   | -         |
| Abu-abu | 8      | 8       | 100000000  | -         |
| Putih   | 9      | 9       | 1000000000 | -         |
| Perak   | -      | -       | 0,01       | 10%       |
| Emas    | -      | -       | 0,1        | 5%        |

Sumber : Ibit hal 24

Resistor dibuat dengan ukuran badan yang mencerminkan kemampuan bertahan terhadap daya lesap yang diterima jika dialiri arus listrik. Suatu resistor dengan hambatan (R) yang dialiri arus listrik arus (I) akan menerima daya lesap  $P= I^2 \times R$ . Daya ini akan menaikkan suhu resistor dan jika melebihi kemampuan daya (power rating) yang dihasilkan dapat menyebabkan kerusakan yang permanen berupa perubahan nilai hambatan ataupun membuat resistor menjadi hangus.

Rumus dari resistor adalah sebagai berikut:

Hubungan seri:  $R_{total} = R_1 + R_2 + R_3 + ..... + R_n .....(2.1)$

Hubungan parallel:  $1/R_{total} = 1/R_1+1/R_2+1/R_3+.....+1/Rn.....(2.2)$

**2.7. Kapasitor**

Pada dasarnya kapasitor merupakan alat penyimpan muatan listrik yang dibentuk dari dua permukaan (piringan) yang berhubungan, tetapi dipisahkan oleh suatu penyekat. Bila sebuah kapasitor dihubungkan dengan tegangan searah terjadilah antara-antara penghantar suatu selisih potensial (tegangan). Selisih suatu potensial ini diringi dengan pergeseran dari muatan listrik. Sehingga penghantar yang lain yang sama besarnya mendapat muatan negatif.

Kapasitas dari kapasitor dinyatakan dengan :

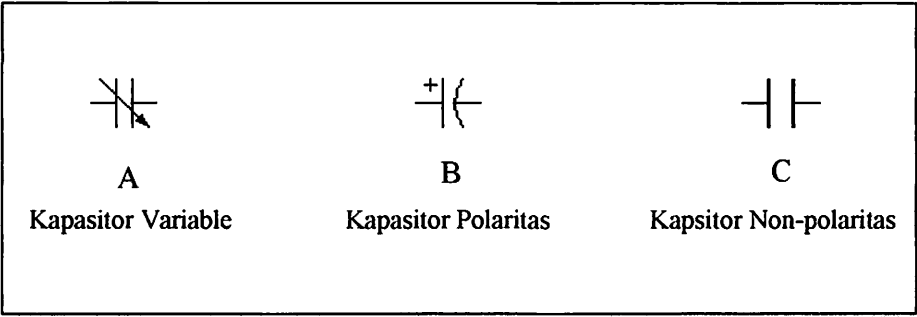
$Kapasitansi C = \frac{Q}{V} .....(2.3)$

Dimana : Q = Muatan (Coloumb)

C = Kapasitansi (Farad)

V = Tegangan (Volt)

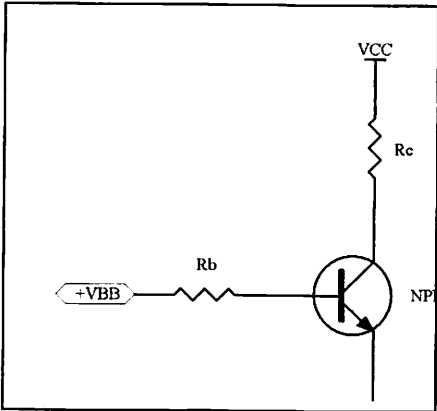
Kapasitas dari kapasitor dinyatakan dengan Farad (F)  $1F = \frac{1C}{1V}$



**Gambar : 2-10**  
**Simbol Kapasitor**  
Sumber : Ibit Hal 61

**2.8. Transistor Sebagai Saklar (Switching Transistor)**

Transistor dapat digunakan sebagai sebuah *switch*, artinya bahwa transistor dioperasikan pada salah satu dari saturasi atau titik sumbat, tetapi tidak di tempat-tempat sepanjang garis beban. Jika sebuah transistor berada pada keadaan saturasi maka transistor tersebut bekerja seperti *switch* yang tertutup dari kolektor ke emitor. Jika transistor tersumbat (*cut off*), transistor bekerja seperti *switch* yang terbuka.



**Gambar 2-11**  
**Transistor Sebagai Saklar**  
Sumber : Perancangan

Gambar 2.11 menunjukkan rangkaian transistor yang difungsikan sebagai saklar. Dari gambar tersebut dapat diambil persamaan pada loop input sebagai berikut:

$$I_b R_b + V_{be} - V_{bb} = 0 \dots\dots\dots(2.4)$$

Sehingga untuk mencari nilai \$R\_b\$ diperoleh:

$$R_b = \frac{V_{bb} - V_{be}}{I_b} \dots\dots\dots(2.5)$$

Dari loop output dapat diambil persamaan:

$$V_{cc} - I_c R_c - V_{ce} = 0 \dots\dots\dots(2.6)$$

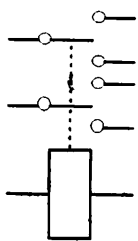
Karena pada keadaan saturasi nilai \$V\_{ce}\$ mendekati 0 V maka untuk mencari nilai \$R\_c\$ diperoleh:

$$R_c = \frac{V_{cc}}{I_c} \dots\dots\dots(2.7)$$

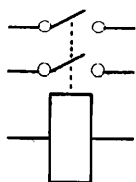
## 2.9. Relay

Relay adalah suatu perangkat switch (saklar) yang dioperasikan oleh gaya elektromagnetik yang dihasilkan oleh kumparan yang berada didalamnya. Relay ini pada umumnya digunakan untuk menyambung dan memutuskan hubungan antara suatu bagian dengan bagian yang lain dalam suatu rangkaian elektronik, selain itu juga dimaksudkan juga untuk mengisolasi switching antara tegangan catu tinggi dengan tegangan rendah. Kerugian yang ditemui pada relay adanya tanggapan waktu (response time) saat on maupun off yang relatif lambat serta adanya efek induksi baik sesaat setelah relay, oleh sebab itu maka antara IC pengendali dan relay perlu adanya diisolasi dengan suatu rangkaian isolasi :

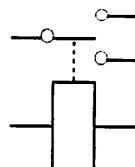
- a) DPDT ( Double Pole, Double Throw).
- b) SPDT ( Single Pole, Double Throw).
- c) DPST ( Double Pole, Single Throw).
- d) SPST ( Single Pole, Single Throw).



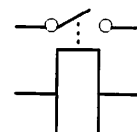
(a) DPDT



(b) DPST



(c) SPDT



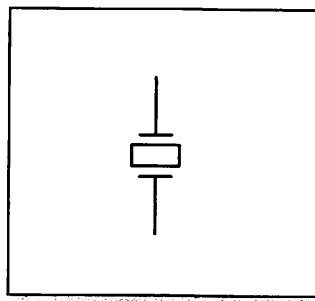
(d) SPST

**Gambar 2-12**  
**Jenis-jenis Relay**

## 2.10. Kristal

Dari beberapa jenis kristal yang ditemukan di alam menunjukkan *efek piezoelektrik*, bila dalam penerapannya tegangan AC melintasi bahan-bahan ini maka kristal tersebut bergetar dengan frekuensi yang sama dengan frekuensi tegangan yang diterapkan. Sebaliknya bila dipaksa untuk bergetar, maka akan membangkitkan tegangan AC. Bahan utama yang dapat menimbulkan efek piezoelektrik ini adalah kuarsa, garam Rochelle dan turnalin.

Kuarsa merupakan kompromi diantara perilaku piezoelektrik dari garam Rochelle dan kekuatan dari turmalin. Karena harganya yang murah dan telah tersedia di alam, kuarsa banyak digunakan pada osilator RF dan penapis. Kristal hampir selalu dipotong dan dibuat untuk bergetar paling baik pada salah satu frekuensi resonansinya, yang biasanya merupakan frekuensi dasar atau frekuensi yang terendah. Frekuensi-frekuensi yang lebih tinggi, yang disebut nada-nada tambahan hampir merupakan hasil perbanyakan yang tepat dari frekuensi dasarnya.



**Gambar 2-13**  
**Simbol Kristal**

*Sumber : Malvino Barmawi, Prinsip -- prinsip Elektronika*

Rumus untuk frekuensi dasar dari sebuah kristal adalah:

$$F = \frac{K}{t} \dots\dots\dots(2.8)$$

Dimana :

K = tetapan yang tergantung pada jenis potongan dan unsur lainnya.

t = ketebalan kristal.

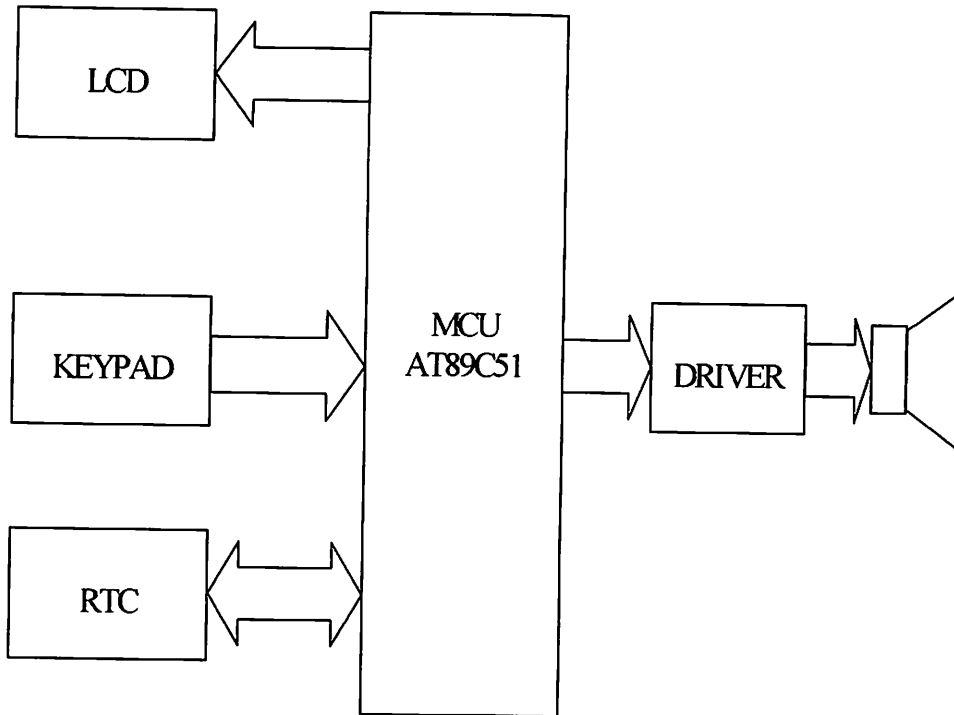
(Malvino, PRINSIP-PRINSIP ELEKTRONIKA, 1994)

### BAB III

#### PERENCANAAN DAN PEMBUATAN ALAT

##### 3.1. Perencanaan Perangkat Keras

Diagram blok sistem alat yang dirancang adalah sebagai berikut :



**Gambar 3-1**  
**Diagram Blok Minimum Sistem**

Perancangan dan pembuatan perangkat keras dari sistem terdiri atas beberapa bagian utama secara garis besar dapat dikategorikan sebagai berikut:

##### 1) Perangkat pemrosesan utama ( minimum sistem )

Minimum sistem yang dirancang adalah minimum sistem yang dikendalikan oleh mikrokontroler AT89C51 serta perangkat pendukung lainnya untuk membentuk sebuah minimum sistem



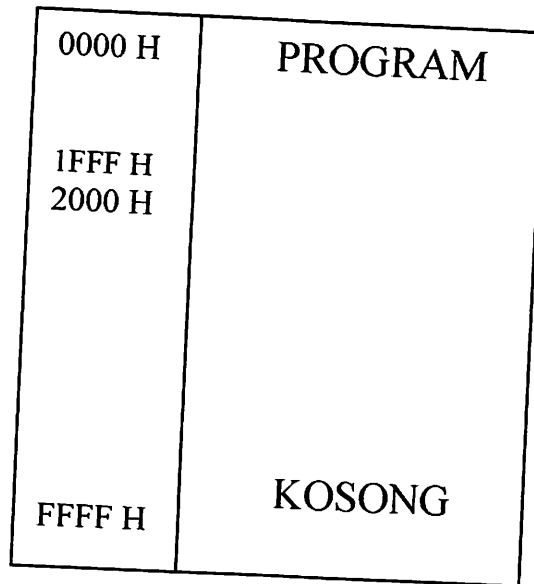
## 2) Perangkat pendukung

Perangkat pendukung yang diperlukan untuk mendukung kerja dari minimum sistem dan untuk berkomunikasi dengan perangkat lain, terdiri dari :

- a) Keypad 4 kolom x 4 baris yang merupakan susunan tombol tekan berbentuk matrik sebagai sarana input data ke mikrokontroler.
- b) LCD digunakan untuk menampilkan data pengaturan jam pelajaran serta data waktu dari RTC, display yang digunakan adalah LCD 16 kolom ( karakter ) x 2 baris.
- c) RTC ( Real Time Clock ) tipe DS12C887 sebagai media penyimpan data pengaturan jam pelajaran serta data waktu.
- d) Driver bel listrik yang digunakan untuk saklar tegangan AC dengan masukan tegangan DC yang berasal dari unit pengendali.

### 3.1.1. Perencanaan Minimum Sistem AT89C51

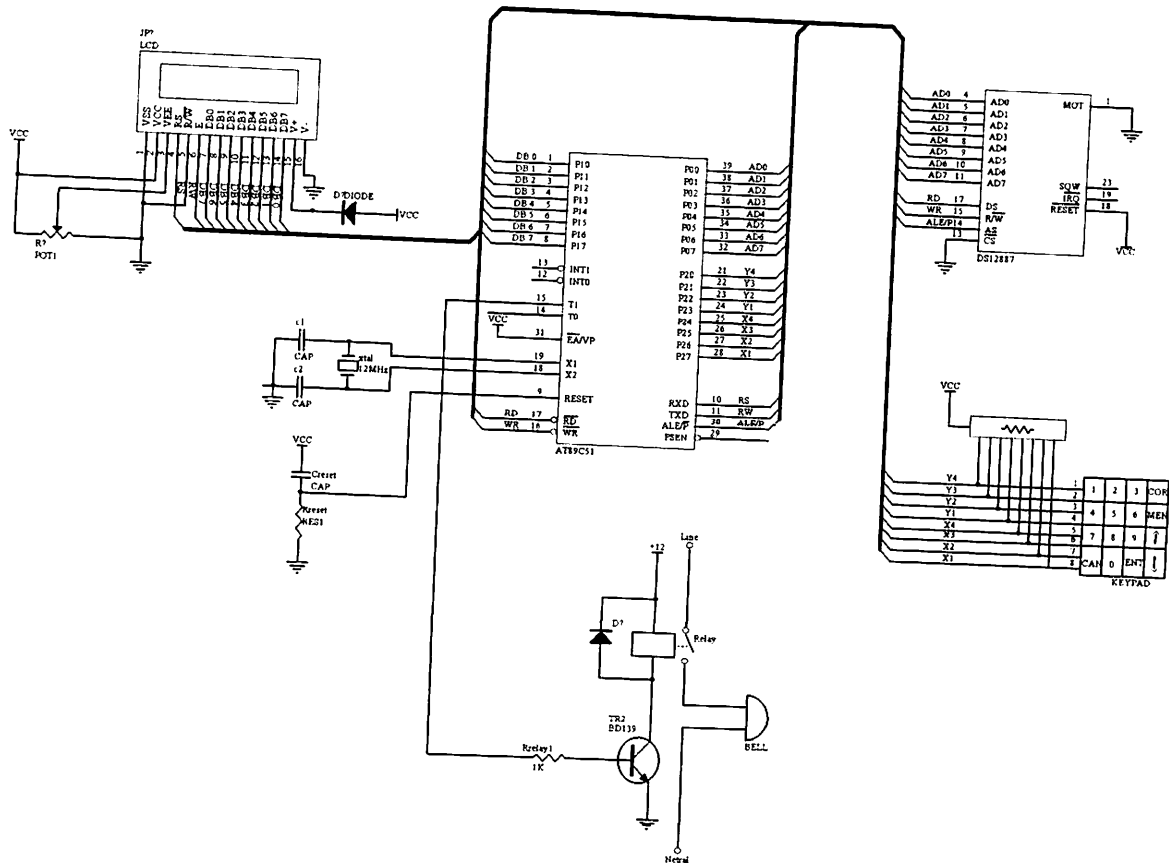
Minimum sistem yang dirancang menggunakan mikrokontroler AT89C51 sebagai prosesor. Minimum sistem AT89C51 disini dirancang untuk menggunakan memori internal yang sudah tersedia di mikrokontroler. Untuk mengaktifkan memori internalnya maka pin EA pada kaki 31 dihubungkan ke Vcc. Mapping dari minimum system tersebut, untuk alamat 0000H sampai dengan 1FFFF ditempati oleh internal sebagai penyimpan program yang dirancang. Mapping memori ditunjukkan pada gambar berikut :



**Gambar 3-2**  
**Mapping Sistem**

Dari mapping memori diatas dapat kita ketahui bahwa mikrokontroler hanya mengakses memori internalnya, sebab untuk alamat mulai 2000H sampai dengan FFFH kosong atau tidak digunakan untuk mengalamatkan perangkat yang lain. Selain dari peta memori untuk mengetahui pengaksesan dari memori dapat dilihat pada pin EA yaitu jika pin EA dihubungkan ke Vcc maka mikrokontroler akan mengakses memori internalnya, sedangkan jika pin EA dihubungkan ke ground maka mikrokontroler akan mengakses memori eksternal. Pada perancangan minimum sistem ini port 0.0 – 0.7 digunakan sebagai input data untuk LCD serta data dua arah dari RTC. Port 1.0 – 1.7 digunakan sebagai input dari keypad 4 x 4, port 3.4 dan port 3.5 digunakan untuk memberikan sinyal RS dari sinyal E pada LCD. Port 3.6, port 3.7, port 3.3 dan ALE digunakan mengendalikan kerja RTC.

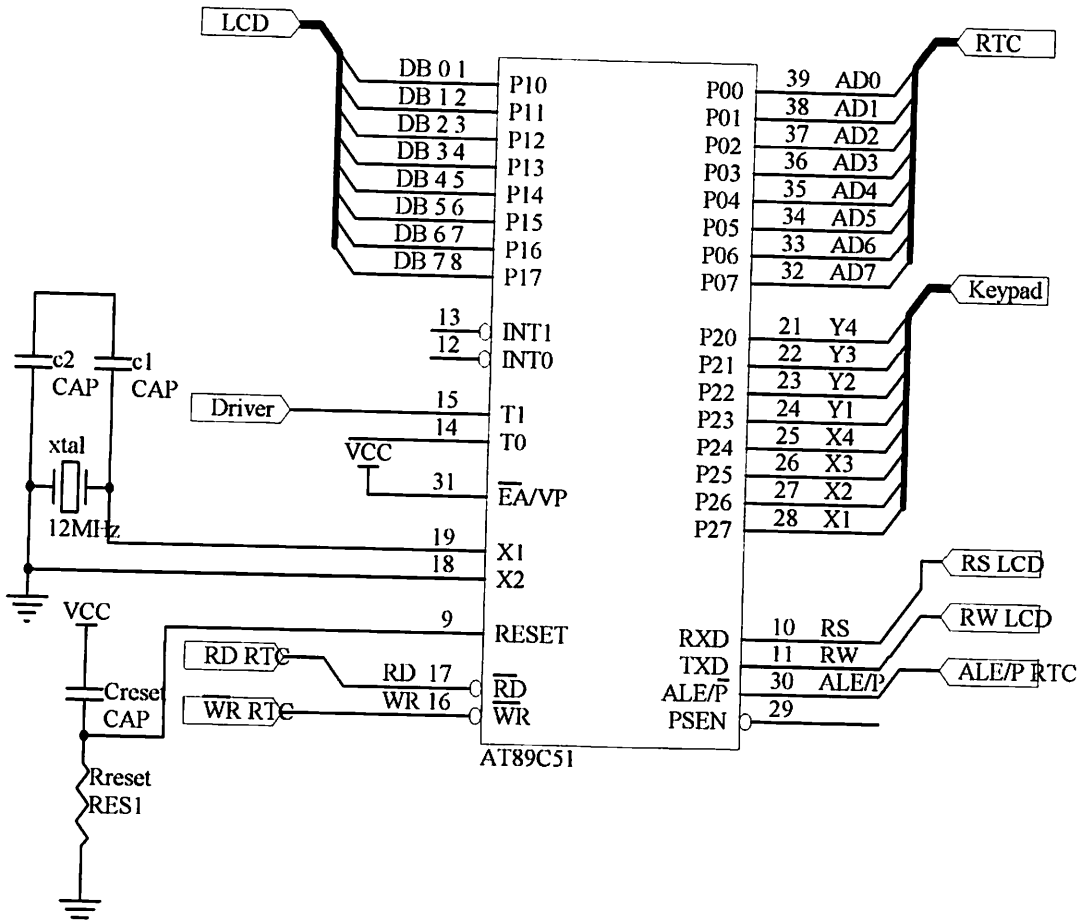
Gambar rangkaian dari minimum sistem dapat dilihat pada gambar berikut :



**Gambar 3-3**  
**Rangkaian Minimum Sistem**

### 3.1.2 Perencanaan Rangkaian Mikrokontroller AT89C51

Rangkaian mikrokontroller AT89C51 dan pin yang digunakan ditunjukkan dalam gambar 3-4.



**Gambar 3-4**  
**IC Mikrokontroller AT89C51**

Rangkaian terintegrasi IC (Integrasi Circuit) mikrokontroller AT89C51 mempunyai 40 pin, tetapi tidak semua pin digunakan dalam rangkaian ini.

Pin X1 dan X2 dihubungkan dengan kristal yang berfungsi sebagai pembentuk sebuah isolator bagi mikrokontroller. Kristal 12MHz ini didukung dengan dua kapasitor keramik C1 dan C2 yang nilainya 30pF. Apabila terjadi beda potensial pada kedua kapasitor tersebut kristal akan beresonansi. Pulsa yang keluar

adalah gigi gergaji sehingga akan dikuatkan oleh rangkaian internal pembangkit aliran pulsa pada mikrokontroller sehingga akan berubah pulsa clock. Untuk pembagian dari frekuensi dari internal mikrokontroller itu sendiri yang diinisialisasi dengan program.

Pin Reset dihubungkan dengan saklar yang digunakan untuk mereset system mikrokontroller. Karena kaki Reset ini aktif berlogika tinggi maka diperlukan resistor R1 yang nilainya  $10\text{ k}\Omega$  yang dihubungkan dengan tegangan 0 Volt untuk memastikan pin Reset berlogika rendah saat system ini bekerja. Kapasitor  $C1=22\mu\text{F}$  berfungsi untuk meredam adanya pelentingan akibat penekanan saklar Reset.

Pin ALE dihubungkan dengan kaki AS pada RTC DS 12887 yang digunakan sebagai sinyal masukan untuk memisahkan bus data dan bus alamat. Pada saat AS/ALE berlogika low maka alamat akan ditahan di DS 12887, akan tetapi pada saat AS/ALE berlogika high maka akan meniadakan alamat tersebut tanpa memperhatikan apakah pin CS aktif atau tidak.

Port P0.0-P0.7 dihubungkan dengan pin AD0-AD7 pada RTC DS 12887 yang digunakan untuk membandingkan apakah data yang berada pada MCU AT89C51 sama dengan data yang berada di DS 12887.

Port P1.0 - P1.7 dihubungkan dengan LCD yang berfungsi sebagai unit penampil. Dengan demikian maka kita dapat melihat menu yang disediakan dan set waktu yang kita masukkan melalui keypad.

Port 3.0 dan port 3.1 dihubungkan dengan pin E dan RS pada LCD yang berfungsi sebagai sinyal yang diperlukan untuk pengiriman data ke LCD dan